SONY

DIGITAL TIME BASE CORRECTOR

BKH-2100

SUPPLEMENT-2

内容

資料の追加
　第3章　回路説明

対象マニュアル

BKH-2100
　1st Edition
　1st Edition(Revised 1)
　1st Edition(Revised 2)
　1st Edition(Revised 3)
　1st Edition(Revised 4)
これらのマニュアルは下記機番のBKH-2100に添付されています。
　#10001～11299

このサプリメントをお手持のBKH-2100マニュアルに追加してお使いください。
なお，目次も差し換えてお使いください。

SUBJECT

Addition of Documents
　Sec. 3　Theory of Operation

APPLICABLE MANUALS

BKH-2100
　1st Edition
　1st Edition (Revised 1)
　1st Edition (Revised 2)
　1st Edition (Revised 3)
　1st Edition (Revised 4)
These manuals are enclosed with the BKH-2100 with the following serial numbers.
　#10001 to #11299

Please add this supplement to your BKH-2100 manual and replace the former "TABLE OF CONTENTS" with new one.

INSTALLATION AND MAINTENANCE MANUAL

BKH-2100 (J/U/C)
9-966-734-02

Sony Corporation

Printed in Japan ©
1983. 10　1102.06-1

目 次
TABLE OF CONTENTS

1. 取扱い操作

1－1. 概要 1-1
1－2. 特長 1-1
1－3. 仕様 1-1
1－4. 取り付け 1-2
　1－4－1. 基板の挿入 1-3
　1－4－2. 初期設定 1-3
1－5. 各部の名称と働き 1-4
1－6. 調整 1-6
1－7. 操作 1-7
1－8. シグナル・フローチャート 1-9
1－9. リモートコントロール 1-11

2. 設置

2－1. 調整 2-1
　2－1－1. ペデスタルレベルオフセット調整 . . . 2-1
　2－1－2. HUEコントロールのプリセッティング . . 2-1
　2－1－3. H BLK幅調整 2-2
　2－1－4. V BLKラインセレクト 2-2
　2－1－5. バースト位置・幅調整 2-2
　2－1－6. ビデオ位相調整 2-3
　2－1－7. 基板交換時の調整 2-3

3. 回路説明

3－1. 概要 3-1
　3－1－1. 回路構成 3-1
　3－1－2. ビデオ信号系 3-1
　3－1－3. クロック・制御信号系 3-2
3－2. ビデオ信号系回路 3-5
　3－2－1. A/D変換回路〔AD-12基板〕 3-5
　3－2－2. DOC回路〔MY-15, AD-12基板〕. . . 3-5
　3－2－3. 3ラインメモリー〔MY-15基板〕 3-7
　3－2－4. D/A変換回路〔PR-36基板〕 3-8
　3－2－5. プロセス回路〔PR-36基板〕 3-8
3－3. クロック・制御信号系回路 3-10
　3－3－1. バースト信号分離回路〔AD-12基板〕 . 3-10
　3－3－2. SELECT Hジェネレーター
　　〔AD-12基板〕 3-10
　3－3－3. W CKジェネレーター〔AD-12基板〕. . 3-10
　3－3－4. W ZEROジェネレーター〔AD-12基板〕. 3-11
　3－3－5. ベロシティエラー検出回路
　　〔AD-12基板〕 3-11
　3－3－6. シーケンスコントロール回路
　　〔MY-15基板〕 3-12

1. OPERATION

1-1. Outline 1-13
1-2. Features 1-13
1-3. Specifications 1-13
　1-3-1. General 1-13
　1-3-2. Video 1-13
　1-3-3. Processor Adjustment Range 1-13
1-4. Installation 1-14
　1-4-1. Notes on Installation 1-14
　1-4-2. Initial Setting 1-15
1-5. Location and Function of Parts 1-16
1-6. Adjustments 1-18
1-7. Operation 1-19
1-8. Signal Flow Chart 1-21
1-9. Remote Control 1-23

2. INSTALLATION

2-1. Adjustments 2-5
　2-1-1. Pedestal Level Offset Adjustment 2-5
　2-1-2. Hue Control Presetting 2-5
　2-1-3. H Blanking Width Adjustment 2-6
　2-1-4. V Blanking Line Selection 2-6
　2-1-5. Burst Position/Width Adjustment 2-6
　2-1-6. Video Phase Adjustment 2-7
　2-1-7. Adjustment after Board Replacement 2-7

3. THEORY OF OPERATION

3-1. Outline 3-1
　3-1-1. Circuit Composition 3-1
　3-1-2. Video Signal System 3-1
　3-1-3. Clock and Control Signal System 3-2
3-2. Video Signal System Circuit 3-5
　3-2-1. A/D Conversion Circuit [AD-12 Board] . . 3-5
　3-2-2. DOC Circuit [MY-15 and AD-12 Boards] . 3-5
　3-2-3. 3-line Memory [MY-15 Board] 3-7
　3-2-4. D/A Conversion Circuit [PR-36 Board] . . 3-8
　3-2-5. Process Circuit [PR-36 Board] 3-8
3-3. Clock and Control Signal System Circuit 3-10
　3-3-1. Burst Signal Separating Circuit
　　[AD-12 Board] 3-10
　3-3-2. Select H Generator [AD-12 Board] 3-10
　3-3-3. W CK Generator [AD-12 Board] 3-10
　3-3-4. W ZERO Generator [AD-12 Board] 3-11
　3-3-5. Velocity Error Detection Circuit
　　[AD-12 Board] 3-11
　3-3-6. Sequence Control Circuit
　　[MY-15 Board] 3-12

3－3－7. SYNCジェネレーター〔SG-62 基板〕. . 3-13
3－3－8. SCジェネレーター〔SG-62基板〕. . . . 3-14
3－3－9. R CKジェネレーター〔SG-62基板〕. . 3-14
3－3－10. ベロシティエラー補正回路
〔SG-62基板〕. 3-15
3－3－11. R ZEROジェネレーター
〔SG-62基板〕. 3-16
3－3－12. カラーフレーミング表示回路
〔AD-12, SG-62基板〕. 3-16
3－4. 信号 3-18

4. 調整のための一般情報

4－1. 調整部品索引 4-1
4－2. 調整順序 4-2

5. 調整前の準備

5－1. 使用機器 5-1
5－2. テスト信号 5-2
5－3. 機器の接続 5-3
5－4. BVH-2000のセッティング 5-4
5－4－1. レベルコントロールパネル部 5-4
5－4－2. ファンクションコントロールパネル部 . . 5-4
5－4－3. コネクターパネル部 5-4
5－4－4. その他のスイッチ，
ボリウムのセッティング 5-4
5－5. BKH-2100のセッティング 5-4

6. クロック・制御信号系調整

6－1. SYNCジェネレーター調整 6-2
6－1－1. SYNC位相プリセット調整 6-2
6－1－2. CONFIDENCEモード
Vリセットパルス幅調整 6-2
6－1－3. TBCフレーム信号位相調整 6-3
6－1－4. Hブランキングパルス幅調整 6-3
6－1－5. Half Hブランキングパルス幅調整. . . . 6-4
6－2. ライトクロックジェネレーター調整 6-5
6－2－1. VCOエラー調整 6-5
6－2－2. Hセレクションウィンドウ幅調整. 6-5
6－2－3. バーストチューニング調整. 6-5
6－2－4. 温度特性補償回路エラー調整 6-6
6－2－5. カラーフレーミングウィンドウ
位相調整. 6-6
6－2－6. B/W APCパルスシフト量調整. 6-7

3-3-7. SYNC Generator [SG-62 Board] 3-13
3-3-8. SC Generator [SG-62 Board] 3-14
3-3-9. R CK Generator [SG-62 Board] 3-14
3-3-10. Velocity Error Compensation Circuit
[SG-62 Board] 3-15
3-3-11. R ZERO Generator [SG-62 Board] 3-16
3-3-12. Color Framing Display Circuit
[AD-12 and SG-62 Boards] 3-16
3-4. Signals 3-18

4. GENERAL INFORMATION FOR ADJUSTMENT

4-1. Index of Alignment Components 4-1
4-2. Alignment Sequence 4-2

5. PREPARATION FOR ALIGNMENT

5-1. Equipment Required 5-1
5-2. Test Signal 5-2
5-3. Connections 5-3
5-4. Initial Setting of the BVH-2000 5-4
5-4-1. Level Control Panel 5-4
5-4-2. Function Control Panel 5-4
5-4-3. Connector Panel 5-4
5-4-4. Other Switch & Control Setting 5-4
5-5. Initial Setting of the BKH-2100 5-4

6. CLOCK AND CONTROL SIGNAL SYSTEM ALIGNMENT

6-1. Sync Generator Alignment 6-2
6-1-1. Sync Phase Preset Adjustment 6-2
6-1-2. Confidence Mode V Reset Pulse Width
Adjustment 6-2
6-1-3. TBC Frame Signal Phase Adjustment 6-3
6-1-4. H Blanking Pulse Width Adjustment 6-3
6-1-5. Half H Blanking Pulse Width Adjustment . 6-4
6-2. Write Clock Generator Alignment 6-5
6-2-1. VCO Error Alignment 6-5
6-2-2. H Selection Window Width Adjustment . . 6-5
6-2-3. Burst Tuning Adjustment 6-5
6-2-4. Temperature Characteristics Compensation
System Error Adjustment 6-6
6-2-5. Color Framing Window Phase
Adjustment 6-6
6-2-6. B/W APC Pulse Shift Adjustment 6-7

6－3. リードクロックジェネレーター調整 6-8
6－3－1. ベロシティーエラーオフセット調整 6-8
6－3－2. ベロシティエラーゲイン調整 6-8
6－3－3. バーストチューニング調整 6-8
6－3－4. HUEプリセット調整 6-9
6－3－5. 波形デューティ調整 6-9
6－3－6. READ ZEROリミッター調整 6-10
6－3－7. カラーフレーミングウィンドウ調整 . . . 6-10

7. ビデオ信号系調整

7－1. A/Dコンバーター調整 7-2
7－1－1. ビデオレベルオフセット調整 7-2
7－1－2. A/Dコンバーター基準電圧調整 7-2
7－2. プロセッサー調整 7-3
7－2－1. ビデオレベルプリセット調整 7-3
7－2－2. ビデオアンプ周波数特性調整 7-4
7－2－3. ディレーライン周波数特性調整 7-5
7－2－4. クロマレベルプリセット調整 7-6
7－2－5. セットアップレベルプリセット調整 . 7-7
7－2－6. ダーククリップレベル調整 7-7
7－2－7. バースト信号位置/幅調整 7-8
7－2－8. バースト信号レベル調整 7-8
7－2－9. SYNC レベル調整 7-9

6-3. Read Clock Generator Alignment 6-8
6-3-1. Velocity Error Offset Adjustment 6-8
6-3-2. Velocity Error Gain Adjustment 6-8
6-3-3. Burst Tuning Adjustment 6-8
6-3-4. Hue Preset Adjustment 6-9
6-3-5. Waveform Duty Adjustment 6-9
6-3-6. Read Zero Limiter Adjustment 6-10
6-3-7. Ref. Color Framing Window Phase Adjustment 6-10

7. VIDEO SIGNAL SYSTEM ALIGNMENT

7-1. A/D Converter Alignment 7-2
7-1-1. Video Level Offset Adjustment 7-2
7-1-2. A/D Converter Reference Voltage Adjustment 7-2
7-2. Processor Alignment 7-3
7-2-1. Video Level Preset Adjustment 7-3
7-2-2. Video Amp. Frequency Response Adjustment 7-4
7-2-3. Delay Line Frequency Response Adjustment 7-5
7-2-4. Chroma Level Preset Adjustment 7-6
7-2-5. Setup Level Preset Adjustment 7-7
7-2-6. Dark Clip Level Adjustment 7-7
7-2-7. Burst Position and Width Adjustment 7-8
7-2-8. Burst Level Adjustment 7-8
7-2-9. Sync Level Adjustment 7-9

A. BLOCK DIAGRAM

Overall Block Diagram . . . . . A- 1

B. SEMICONDUCTOR PIN ASSIGNMENTS

Index . . . . . B- 1
Diode . . . . . B- 2
Transistor . . . . . B- 2
IC . . . . . B- 2
PROM B-14

C. SCHEMATIC DIAGRAM & BOARD LAYOUT

AD-12 Board; A/D Converter . . . . . C- 4
MY-15 Board; 3-Line Memory C-10
SG-62 Board; Sync Generator C-16
PR-36 Board; Processor C-22

D. REPLACEABLE PARTS

Notes on Repair Parts . . . . . D- 1
AD-12 Board . . . . . D- 2
MY-15 Board . . . . . D- 4
SG-62 Board . . . . . D- 5
PR-36 Board . . . . . D- 8

E. CHANGED PARTS

#10101 & up . . . . . E- 1
#10201 & up . . . . . E- 2
#10301 & up . . . . . E- 2
#10401 & up . . . . . E- 3
#10701 & up . . . . . E- 4
#10801 & up . . . . . E- 4

第3章
回路説明

3-1. 概要

3-1-1. 回路構成

BKH-2100の基本的な回路構成を図3-1-1に示す。
BKH-2100はAD-12, MY-15, SG-62, PR-36の4枚のプリント基板で構成される。
メモリー書込み側のビデオ信号系回路とクロック・制御信号系回路はAD-12基板に設けられている。MY-15基板はTBCのメインメモリーであり，ビデオ信号のドロップアウト補償もここで行なわれる。メモリー読出し側のビデオ信号系回路はPR-36基板に収められている。PR-36基板内のプロセッサーにより，TBC OUTのビデオレベル，クロマレベル，セットアップが任意に調整できる。メモリー読出し側のクロック・制御信号系回路はSG-62基板に設けられている。
ビデオ信号のTBC処理の概要を図3-1-2に示す。

3-1-2. ビデオ信号系

入力ビデオ信号はビデオアンプ，前置フィルターを経た後，A/Dコンバーターにおいて4fscのサンプリング周波数で8ビットデータにディジタル化され，MY-15基板内のドロップアウト補償回路(DOC)へ送られる。このDOCは，YおよびC信号それぞれについて1H前部分置換えによるドロッ

SECTION 3
THEORY OF OPERATION

3-1. OUTLINE

3-1-1. Circuit Composition

Fig. 3-1-1 shows the basic circuit composition of BKH-2100.
BKH-2100 consists of four printed boards, AD-12, MY-15, SG-62 and PR-36.
The video signal system circuit and clock control system circuit on the memory write side are provided on the AD-12 board. The MY-15 board is the main memory of TBC, and dropout compensation of the video signal also takes place here. The video signal system circuit on the memory read side is provided on the PR-36 board. By means of the processor on the PR-36 board it is possible to adjust the video level, chroma level and setup of TBC OUT. The clock and control signal system circuit on the read side is provided on the SG-62 board.
The outline of the TBC processing of video signal is shown in Fig. 3-1-2.

3-1-2. Video Signal System

The input video signal passes through the video amplifier and pre-filter, then enters the A/D converter where it is digitized into 8-bit data by a sampling frequency of 4fsc, and is sent to the dropout compensator (DOC) on the MY-15 board. The DOC performs dropout compensation by replacing the dropout sections of Y and C signals with

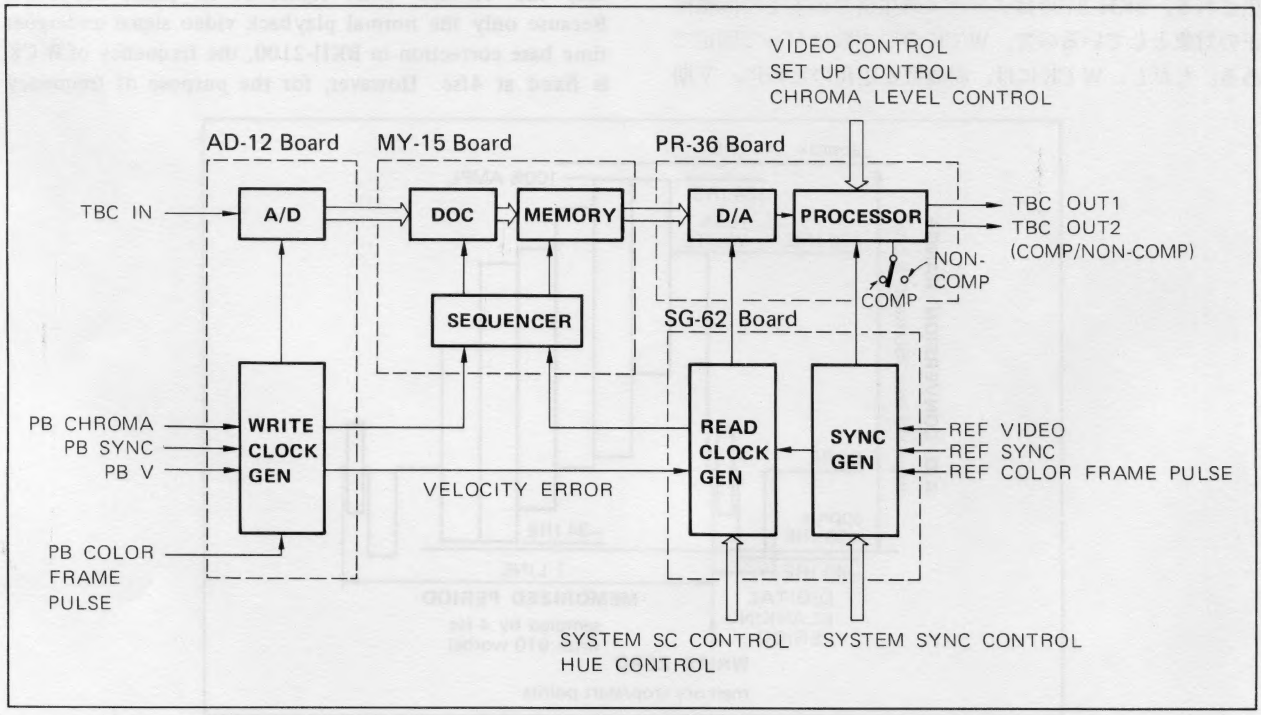


図3-1-1. BKH-2100の基本構成

Fig. 3-1-1 Basic Composition of BKH-2100

プアウト補償を行なう。Y/C分離にはディジタルフィルターが用いられている。DOCを経た8ビットデータは，再生ビデオのバースト信号に位相ロックした4fscのクロックによって1ライン単位でメモリーに書き込まれる。メモリーはRAMで構成されており，容量は3ラインである。

メモリー内の8ビットデータは，メモリーの書込み/読出しの動作が重複しないように，ある緩衝時間を置いた後，リファレンスビデオ信号に位相ロックした4fscのクロックによって1ライン単位で読み出される。メモリー容量が3ラインであり，その書込み/読出しが1ライン単位で行なわれることから，BKH-2100の時間軸補正範囲は1Hp-pであることがわかる。読み出された8ビットデータは，そのペデスタルレベルが一定値に置き換えられてからPR-36基板のD/A変換回路へ送られ，アナログのビデオ信号に復元される。ディジタル的に固定されたペデスタルレベルはD/A変換回路においてビデオレベル制御のサンプルレベルとなっている。アナログビデオ信号はこの後，クロマレベル，セットアップの各レベル制御を受け，次にリファレンスの同期信号，バースト信号が付加されてTBC出力（TBC OUT 1, 2）となる。なお，TBC OUT 2のビデオ信号はCOMP/NON COMPの設定を任意にすることができる。

3-1-3. クロック・制御信号系

A/D変換とメモリー書込みに使われる書込みクロックWCKは，再生バースト信号を位相基準とするAPC方式で発生される。BKH-2100はノーマル再生信号のみを時間軸補正の対象としているので，WCKの周波数は4fscで固定である。ただし，WCKには，周波数安定化のために，V期

each 1H prior signal. A digital filter is employed for Y/C separation. The 8-bit data which passes through DOC is written into the memory in 1-line units, by means of a 4fsc clock which is phase-locked to the off-tape burst signal. The memory consists of RAMs having a capacity of 3 lines.

The 8-bit data in the memory is read out in 1-line units by means of a 4fsc clock which is phase-locked to the reference video signal, after the lapse of a buffer time to prevent overlapping of the memory write/read operations. The range of time base correction for the BKH-2100 is 1Hp-p because the memory has a capacity of 3 lines, and write/read operation takes place in 1-line units. The read out 8-bit data is sent to the D/A converter circuit on the PR-36 board after its pedestal level is substituted by a constant value, and is then reconverted to an analog video signal. The digitally fixed pedestal level is used as the sample level for video level control at the D/A converter circuit. The analog video signal subsequently undergoes control of chroma level and setup, then the reference synch signal and burst signal are added, resulting in the TBC output (TBC OUT 1 and 2). The TBC OUT 2 video signal can be set to COMP or NON-COMP.

3-1-3. Clock and Control Signal System

The write clock W CK which is used for A/D conversion and memory write is generated in the APC system which uses the off-tape burst signal as its phase reference. Because only the normal playback video signal undergoes time base correction in BKH-2100, the frequency of W CK is fixed at 4fsc. However, for the purpose of frequency

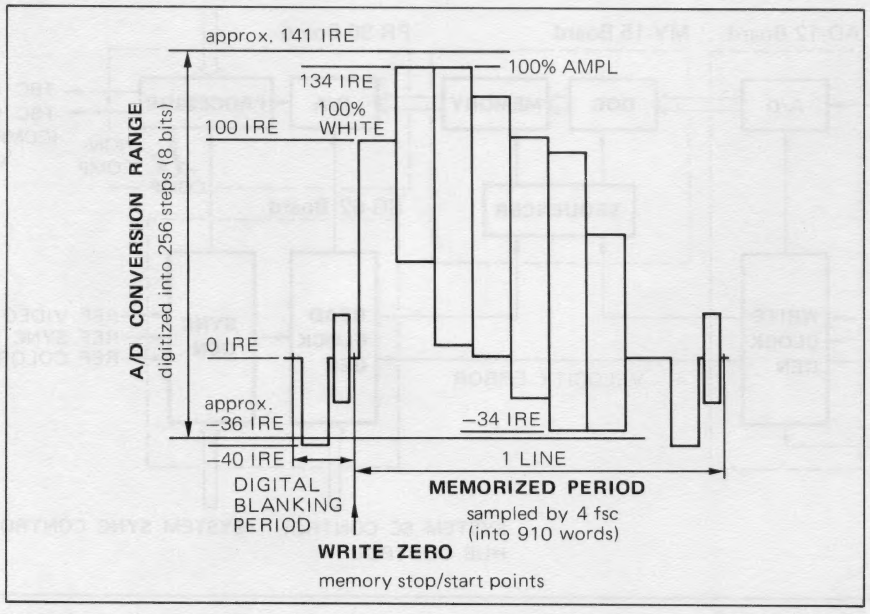


図3-1-2. ビデオ信号のTBC処理　　Fig. 3-1-2 TBC Processing of Video Signals

間においてREF Fscを基準信号とするAFCがかけられている。

メモリーの書込みスタートを指示するW ZERO信号はH SYNCエッジから常に一定の点に発生される。W ZEROは書込み側のSCであるW SC(W CKを1/4にカウントダウンした信号)で同期化されている。同期化の際のW SCは，W ZEROの発生点がライン毎にSC半サイクル分のシフトを生じることのないように，各ラインで位相反転され，ライン相互の位相関係が同相になっている。W ZEROのHに対する位相は，SC1周期分を1ステップとして7ステップの範囲で調整できる。これによってTBC出力のビデオ位相は任意に変えられる。

ベロシティエラーは，CB H(再生バースト信号中央付近のSC一波の位相をもつHレートの信号)とW SCとを位相比較することにより検出している。検出されたエラー電圧はベロシティエラーメモリーを介して読み出し側に送られ，二次曲線近似による補正を受けた後，R CKを位相変調する。これによって，カラー処理における残留位相誤差が±2.5ns以下という高精度なベロシティエラー補償が行なわれる。D/A変換とメモリー読出しに使われる読出しクロックR CKは，SR VIDEOのバースト信号に位相ロックしたSCを4逓倍して作られる。R CKの周波数は4fscである。R CKはベロシティエラー補正のための位相変調がかけられている。また，R CKの位相はHUE調整のために外部コントロールが可能である。

メモリーの読出しスタートを指示するR ZERO信号は，W ZEROと同じように，H SYNCエッジから常に一定の点に作られる。R ZEROを同期化する読出し側のSCの位相は，W SCの位相反転に対応するように，ライン毎に反転されている。SCの位相反転を制御する信号R N/Iは，W SCの位相反転を制御する信号W N/Iがメモリーを介して読出し側に送られて来たものである。

メインメモリーの書込み/読出しのアドレス信号(W ADDRESSおよびR ADDRESS)はW CK, R CKから作られる。メインメモリーは1ラインについて1Kワードが割り当てられているが，実際にアドレッシングされるのは910ワードである。3ラインの各々のメモリーは，W LINE ADDRESS信号およびR LINE ADDRESS信号によって書込み/読出しが重複しないように制御されている。なお，BKH-2100はノーマル再生信号のみを時間軸補正の対象としているので，メモリー読出しの際のVロック制御は行なっていない。メモリーの書込み/読み出しには1.5Hのアドバンス関係があるだけである。

DOCメモリーはY信号用とC信号用が別々に設けられている。メモリー素子はRAMであり，容量は1ラインである。各々のメモリーのアドレッシングはメインメモリーと同じW ADDRESS信号で行なわれる。ドロップアウトが生じた

stabilization, AFC, whose reference signal is REF Fsc, is applied to W CK during the interval V.

The W ZERO signal which designates the start of memory write is always generated from the edge of H SYNC to a constant point. W ZERO is synchronized with W SC which is the SC on the write side. During synchronization, W SC is phase-inverted at each line, and the lines brought into phase with each other, to prevent the generation point of W ZERO shifting by the half-cycle of SC each line. The phase of W ZERO with respect to H can be adjusted in 7 steps, with each step being equal to a period of SC. In this way, the video phase of the TBC output can be varied.

Velocity error is detected by a phase comparison of CBH (H rate signal having the phase of an SC wave in the vicinity of the center of the off-tape burst signal) and WSC. The detected error voltage is sent to the read side via the velocity error memory, and after being compensated by a second order approximation, it phase-modulates the read clock R CK. In this way, high precision velocity error compensation resulting in a residual phase error of within ±2.5ns during color processing is obtained.

The R CK which is used for D/A conversion and memory read is generated by quadrupling SC which is phase-locked with the SR VIDEO burst signal. The frequency of R CK is 4fsc. Phase modulation for velocity error compensation is applied to R CK. The phase of R CK can be controlled externally for HUE adjustment.

Like W ZERO, the R ZERO signal which designates the start of memory read is always generated from the edge of H SYNC to a constant point. The phase of SC on the read side, which synchronizes R ZERO, is inverted at each line to correspond with the phase-inversion of W SC. The R N/I signal which controls the phase-inversion of SC, is the W N/I signal which has been sent to the read side via the memory. The W N/I signal controls the phase-inversion of the W SC.

The write/read address signals of the main memory (W ADDRESS and R ADDRESS) are generated from W CK and R CK. In the main memory, 1K words are assigned to one line, however in actual fact, 910 words are addressed. Each memory of three lines is controlled so that write/read are not superimposed by the W LINE ADDRESS and R LINE ADDRESS signals. Since only the normal playback video signal undergoes time base correction in BKH-2100, V lock control is not performed during memory readout. The phase relationship between write/read of the memory is the 1.5H advance.

The DOC memories for the Y signal and C signal are provided separately. The memory element is a RAM. The DOC memory has a capacity of one line. The addressing of each memory is carried out by the W ADDRESS signal which is the same as that used in the main memory. In the event of a dropout, the DOC memory data will be read out by the Y DO and C DO signals. Line phasing of the chroma signal during Y/C mixing is performed by set-

場合，Y DO, C DO信号によってDOCメモリーのデータは読み出される。Y/C MIXの際のクロマ信号のライン位相合わせは，演算モード(Y+CまたはY−C)をW N/I信号で指定することにより行なう。
シンクジェネレーターはSG-62基板に設けられている。ここからは，TBCの基準同期信号(TBC SYNC, TBC VDなど)やVブランキング信号，バーストフラグ信号が発生される。このシンクジェネレーターの外部同期信号にはBVH-2000のREF SYNCが使われる。Vブランキングについては，10ラインから21ラインまでの間の任意のラインを選択することができる。
BKH-2100はカラーフレーミングが可能である。メモリーの書込み，読出しの両側におけるSC-H位相が最適値に調整されると"PB CF IN"と"REF CF IN"のランプが点灯する。

ting the arithmetic mode (Y+C or Y−C) by means of a W N/I signal.
A sync generator is provided on the SG-62 board. From here, the TBC reference synchronizing signals (TBC SYNC, TBC VD, etc.), the V blanking signal and the burst flag signal are generated. REF SYNC of BVH-2000 is used as the external sync signal of this sync generator. Regarding V blanking, it is possible to select an arbitrary line between line 10 and line 21.
With BKH-2100, it is possible to perform color framing adjustment. When the SC-H phase on both the memory write and read sides are adjusted to the optimum values, the "PB CF IN" and "REF CF IN" lamps will light up.

3-2. ビデオ信号系回路

3-2-1. A/D変換回路〔AD-12基板〕

VTR(BVH-2000)のデモジュレーター出力(DEMOD OUT 1)が時間軸補正されるビデオ信号である。
DEMOD OUT 1はビデオアンプで増幅された後，ローパスフィルターLPF 1に入る。LPF 1は前置フィルターであり，カットオフ周波数は約8MHzである。帯域制限されたビデオ信号は反転増幅されA/Dコンバーターに送られる。なお反転増幅においては，ビデオ信号にオフセットが与えられる。このオフセットレベルは，A/D入力のペデスタルレベルがD/A変換後のペデスタルレベルに一致するように調整されている。
A/Dコンバーターには全並列型8ビットパラレル出力のLSIを用いている。サンプリング信号は4fscのW CK，変換範囲は0〜−2Vである。図3-2-1に規定の入力ビデオ信号に対するA/D変換範囲を示す。TTLレベルのA/Dコンバーター出力はECLレベルに変換された後，MY-15基板のDOC回路へ送られる。

3-2-2. DOC回路〔MY-15, AD-12基板〕

データシフターはディジタルフィルターの単位遅延素子として機能しているもので，種々の時間軸上のデータを作り出している。単位遅延時間は$\frac{1}{4fsc}$秒である。

3-2. VIDEO SIGNAL SYSTEM CIRCUIT

3-2-1. A/D Conversion Circuit [AD-12 Board]

The demodulator output (DEMOD OUT 1) of the VTR (BVH-2000) is the video signal which undergoes time base correction.
DEMOD OUT 1 is amplified by the video amplifier, then enters the low pass filter LPF 1, which is a pre-filter having a cut-off frequency of about 8MHz. The band-limited video signal is inverted and amplified, and set to an A/D converter. During inversion and amplification, an offset is applied to the video signal. The offset level is adjusted so that the pedestal level of the A/D input is equal to the pedestal level after D/A conversion.
The A/D converter employs a LSI of the 8-bit flash type. The sampling signal is a 4fsc W CK. A conversion range is 0 to −2V. Fig. 3-2-1 shows the A/D conversion range with respect to the specified input video signal. The TTL level A/D converter output is converted into an ECL level, then sent to the DOC circuit on the MY-15 board.

3-2-2. DOC Circuit [MY-15 and AD-12 Boards]

The data shifter functions as a unit delay element of a digital filter. It creates various data on the time axis. The unit delay time is 1/4fsc seconds.

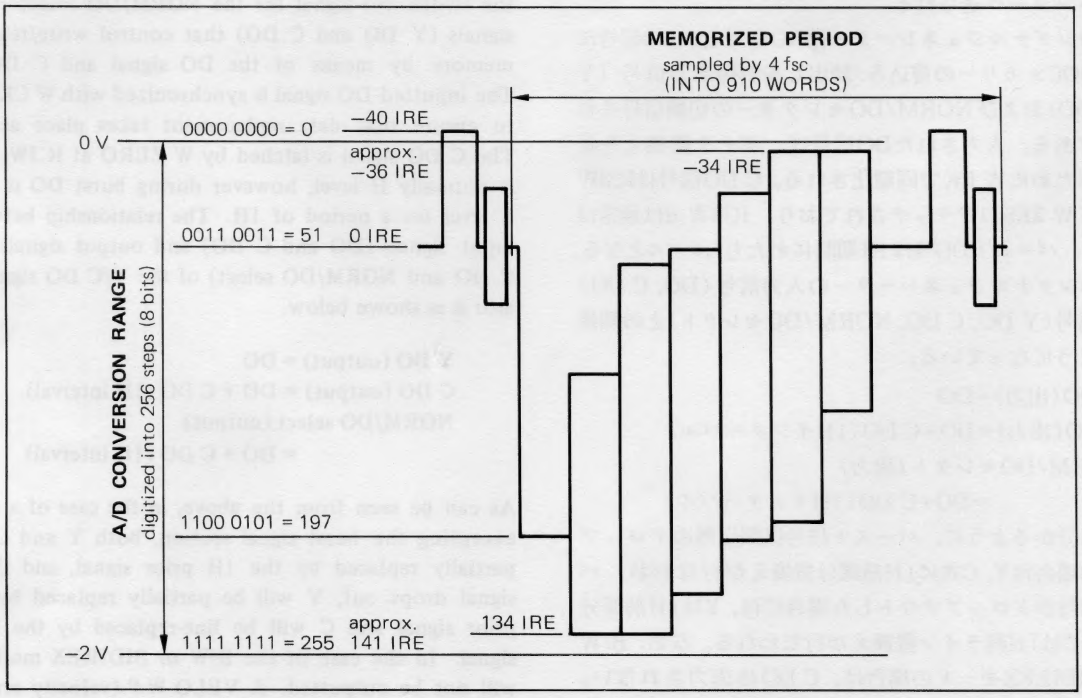


図3-2-1. A/D変換範囲

Fig. 3-2-1 A/D Conversion Range

Y SEP回路，C SEP回路はディジタルトランスバーサルフィルターで構成されている。それぞれのフィルターの伝達関数を次式に示す。

Yフィルター；$H(z)=\frac{1}{4}(1+2Z^{-2}+Z^{-4})$

Cフィルター；$H(z)=\frac{1}{8}(1-2Z^{-2}+2Z^{-4}-2Z^{-6}+Z^{-8})$

なお，Y/C分離で得られるC信号は，データ置換えの容易さから，ライン相互の位相関係が同相(同極性)にされている。

Y DOCメモリー，C DOCメモリーは1K×4ビットのRAMで構成されており，1ラインについて910ワードを使っている。アドレス信号はメインメモリーと同じW ADDRESS信号である。両DOCメモリーには通常はデータが書き込まれ，DOが生じた時のみデータは読み出される。

VTR(BVH-2000)側で検出されたドロップアウト信号DO2はAD-12基板内のDOシグナルストレッチャーとバーストDOディテクターに入る。DOシグナルストレッチャーは，DOCをより確実にするためにDO2信号の幅を拡張する回路である。拡張されたDO2はDOと呼ばれる。バーストDOディテクターは，CB H信号の有無を判定することによりバースト信号のドロップアウトを検出している。この検出出力信号はC DOと呼ばれる。C DOは，通常はCB Hでトリガーされた負方向パルスであるが，DO時はHレベルとなる。DO信号とC DO信号はMY-15基板のY/C DOシグナルジェネレーターへ送られる。

Y/C DOシグナルジェネレーターはDO信号とC DO信号によってDOCメモリーの書込み/読出しを制御する信号（Y DO, C DO)およびNORM/DOセレクターの切換信号を作る回路である。入力されたDO信号は，データ置換えを正確にするためにW CKで同期化される。C DO信号はIC3WにおいてW ZEROでラッチされており，IC3W-8は通常はHレベル，バーストDO時は1H期間にわたりLレベルとなる。Y/C DOシグナルジェネレーターの入力信号(DO, C DO)と出力信号(Y DO, C DO, NORM/DOセレクト)との関係は次のようになっている。

Y DO(出力)=DO
C DO(出力)=DO+C DO(1Hインターバル)
NORM/DOセレクト(出力)
=DO+C DO(1Hインターバル)

これから分かるように，バースト信号区間以外のドロップアウトの場合はY, C共に1H前部分置換えが行なわれ，バースト信号がドロップアウトした場合には，Yは1H前部分置換え，Cは1H前ライン置換えが行なわれる。なお，B/WまたはBIDIREXモードの場合は，C DOは出力されない。Y/C DOシグナルジェネレーターからはVELO W.P(ベロシティエラー書込みパルス)信号も出力されている。バース

The Y SEP circuit and C SEP circuit each consists of a digital transversal filter. The following equations show the transfer functions of the respective filters.

Y filter: $H(z)=\frac{1}{4}(1+Z^{-2}+Z^{-4})$

C filter: $H(z)=\frac{1}{8}(1-2Z^{-2}+2Z^{-4}-2Z^{-6}+Z^{-8})$

The C signal obtained from Y/C separation is kept in the same polarity on the lines, owing to the ease of data conversion.

The Y DOC memory and C DOC memory each consists of two 1Kx4-bit RAMs, one line of which employs 910 words. The address signal is the W ADDRESS signal which is the same as that used in the main memory. Normally data is written in both DOC memories, and it is read out only when dropout occurred.

The dropout signal DO2 which is detected at the VTR (BVH-2000) side enters the DO stretcher and burst DO detector on the AD-12 board. The DO signal stretcher is a circuit which expands the width of the DO2 signal in order to make the DOC more positive. The expanded DO2 is called DO. The burst DO detector detects any dropout of the burst signal by judging the existence or otherwise of the CB H signal. This detection signal is called C DO. Normally, C DO is a negative-going pulse which is triggered by CB H. When it is DO, it becomes H level. The DO signal and C DO signal are sent to the Y/C DO signal generator on the MY-15 board.

The Y/C DO signal generator is a circuit which generates the switchover signal for the NORM/DO selector and the signals (Y DO and C DO) that control write/read of the memory by means of the DO signal and C DO signal. The inputted DO signal is synchronized with W CK in order to ensure that data replacement takes place accurately. The C DO signal is latched by W ZERO at IC3W. IC3W-8 is normally H level, however during burst DO it becomes L level for a period of 1H. The relationship between the input signals (DO and C DO) and output signals (Y DO, C DO and NORM/DO select) of the Y/C DO signal generator is as shown below.

Y DO (output) = DO
C DO (output) = DO + C DO (1H interval)
NORM/DO select (output)
= DO + C DO (1H interval)

As can be seen from the above, in the case of a dropout, excepting the burst signal section, both Y and C will be partially replaced by the 1H prior signal, and if a burst signal drops out, Y will be partially replaced by the 1H prior signal and C will be line-replaced by the 1H prior signal. In the case of the B/W or BIDIREX mode, C DO will not be outputted. A VELO W.P (velocity error write pulse) signal will also be outputted from the Y/C DO signal generator. In the event that burst DO is generated,

トDOが生じた場合にはVELO W.Pは出力されないが，1H後のVELO W.Pも出力されない。これは，バーストDOから1H後に得られるベロシティエラーが正確さに欠けているためである。

Y/Cミクサーは演算器とPROMで構成されており，リミッターも兼ねている。上限・下限の値はPROMにプログラミングされている。演算器とPROMは一体となってY±Cの演算をする。Y/C分離によって得られたC信号はライン位相が同相でDOCの処理を受けているので，Y/Cミックスに際してはC信号位相のライン反転を復元させる必要がある。Y±Cの演算はYとCをミックスすると共に，C信号位相のライン反転を復元することも兼ねている。演算モード(±)の選択はW N/I信号によって行なわれる。

NORM/DOセレクターは，通常DOC回路のバイパス信号を選んでいるが，ドロップアウトが生じるとY/Cミクサー出力信号を選ぶ。

3-2-3. 3ラインメモリー〔MY-15基板〕

3ラインメモリーはTBCのメインメモリーである。メモリー素子には1K×4ビットのRAMを用いている。容量は3ラインであり，1ラインについて910ワードが使われる。データの書込み/読出しのための10ビットのアドレス信号はW CK, R CKで作られている。各々のメモリーはW/Rラインアドレスジェネレーターの出力信号WA, WB, RA, RBによって書込み/読出しの動作が重複しないように制御されている。メモリー書込み/読出しの関係は図3-2-2に示すように1.5Hのアドバンス関係になっている。

メモリーから読み出されたデータは，ペデスタルブランキング回路において，TBC SYNCによって同期信号部分がデータ$(51)_{10}$に置き換えられる。このデータ置換えは，D/A変換後のペデスタルレベルがD/A出力の電圧振幅制御(ビデオレベル制御)のサンプルレベルとなっているので，ディジタル的にペデスタルレベルを固定するための処理である。

VELO W.P will not be outputted, neither will be the VELO W.P which is generated 1H later. This is because the velocity error which is obtained at 1H later after burst DO will be lacking in accuracy.

The Y/C mixer consists of an arithmetic unit and PROM, and also functions as a limiter. The upper and lower limit values are programed in PROM. The arithmetic unit and PROM are integrated with each other, and perform Y±C arithmetic operations. Since the C signal obtained by Y/C separation is in the same polarity on the line and undergoes DOC processing, it is necessary to restore the line inversion of the C signal phase during Y/C mixing. The arithmetic operation Y±C involves mixing Y and C, and also restoration of line inversion of the C signal phase. The selection of the arithmetic mode (±) takes place by means of the W N/I signal.

The NORM/DO selector normally selects the bypass signal for the DOC circuit, however if a dropout occurs, it will select the Y/C mixer output signal.

3-2-3. 3-line Memory [MY-15 Board]

The 3-line memory is the main memory of TBC. The memory elements are 1Kx4-bit RAMs. The capacity of the memory is 3 lines, and 910 words are used per line. The 10-bit address signal used for data read/write is made by W CK and R CK. Each memory is controlled to prevent overlapping of write/read operations due to the output signals WA, WB, RA and RB from the W/R line address generator. The phase relationship between write/read is a 1.5H advance, as shown in Fig. 3-2-2.

In the pedestal blanking circuit, the synchronizing signal portion of the data read out from the memory is replaced by data $(51)_{10}$, by means of TBC SYNC. This data replacement is a process designed to digitally fix the pedestal level, because the pedestal level after D/A conversion becomes the sample level of the voltage amplitude control (video level control) of the D/A output.

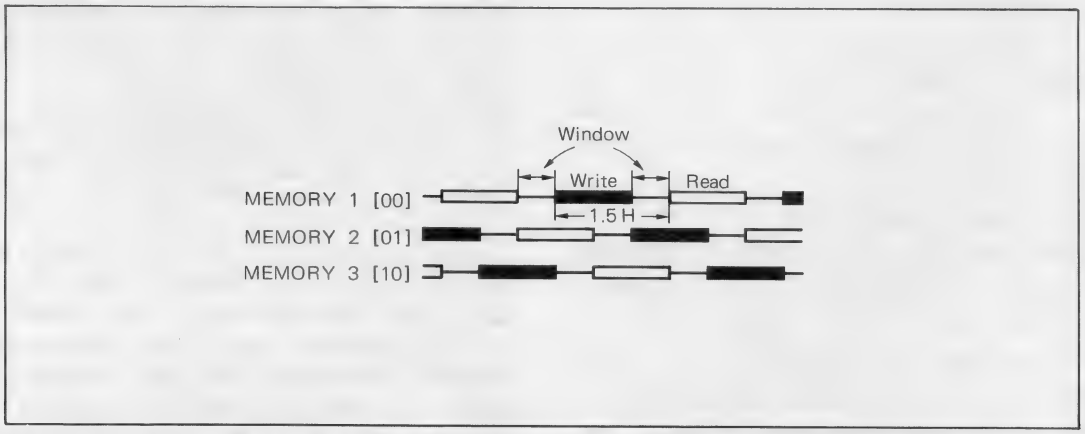


図3-2-2. メモリー書込み/読出しの関係　　Fig. 3-2-2 Relationship Between Memory Read/Write

3-2-4. D/A変換回路〔PR-36基板〕

メインメモリーから読み出されたR DATAはECLからTTLレベルに変換された後，IC14に入る。IC14は電流切換R-2Rラダー型のD/Aコンバーターである。IC14の10ビットのディジタルインプットのうち上位側8ビットにR DATAが入力される。クロック信号には4fscのR CKを用いている。D/A出力電圧範囲は0～−2Vである。

IC14は内蔵定電流源の電流値を加減するための制御端子(ISET)を備えており，D/A出力電圧振幅の調整が可能である。これを利用して，D/A変換回路ではビデオレベル制御も行なっている。ビデオレベル制御の基本的な動作は，D/A出力のペデスタルレベルがレベル制御電圧（VIDEO CONT）に追従するようにISET端子電圧を定める，というものである。サンプリングされるペデスタルレベルはディジタル的にレベルが固定されている同期信号部分である。ビデオレベル調整されたD/A出力は，補間フィルターを経てプロセス回路へ送られる。

3-2-5. プロセス回路〔PR-36基板〕

プロセス回路はクロマレベル制御，セットアップ制御，ダークレベルクリップ，同期信号バースト信号付加などの信号処理をする。

クロマレベル制御回路は，ディレイラインDL1，リニア乗算器IC9，クロマ成分加算器Q12などから成っている。DL1の遅延量が$\frac{1}{2fsc}$秒であるので，DL1の反射成分を含むビデオ信号からDL1を通過したビデオ信号を減算するとクロマ成分のみがQ13のコレクターに出力される。このクロマ成分のレベルはIC9の8ピン/YIN(−)の印加電圧に依存している。したがって，Q13コレクター出力とビデオ信号(FL4出力)とを加え合わせると，CHROMA CONT電圧によってクロマレベルが調整されたビデオ信号となる。ローパスフィルターFL4はタイミング合わせのためのディレイラインとして機能している。

セットアップ制御回路は，Q12のエミッターからIC12(−)入力に至る帰還ループを構成している。IC11の出力は，Q12のエミッター出力のペデスタルレベルがIC11の(+)入力に印加されているSET UP CONT電圧に追従するように，IC12のオフセットを制御している。

Q12出力のビデオ信号のHおよびVのブランキングと基準バースト信号の付加はIC2, Q1, Q2で構成される帰還増幅器で行なわれる。この帰還増幅器は，BLK信号を切換信号とする2入力のアナログスイッチャーである。スイッチャーの一方の入力には基準バースト信号が入っている。Q12出力の同期信号/バースト信号の区間は，BLK信号によって，この基準バースト信号に置き換えられる。その結果，アナログスイッチャー出力はブランキングおよび基準バースト

3-2-4. D/A Conversion Circuit [PR-36 Board]

R DATA which is read out from the main memory is level-converted from ECL to TLL, then enters IC14. IC14 is an R/2R ladder (switched current source) type D/A converter. R DATA enters the top 8 bits in IC14 10-bit digital input. The clock signal is a 4fsc R CK signal. The D/A output voltage range is 0 to −2V.

IC14 is provided with a control terminal (ISET) for controlling the value of the weighted current. This permits the amplitude of the D/A output voltage to be adjusted. Utilizing this, video level control takes place in the D/A converter circuit. The basic operation of video level control is setting the I SET terminal voltage so that the D/A output pedestal level follows the level control voltage (VIDEO CONT). The pedestal level to be sampled is the synchronizing signal portion whose level is digitally fixed.

The D/A output which has undergone video level adjustment is sent to the process circuit via an interpolation filter.

3-2-5. Process Circuit [PR-36 Board]

The process circuit performs signal processing such as chroma level control, setup control, dark level clipping, and addition of synch and burst signals.

The chroma level control circuit consists of delay line DL1, linear multiplier IC9, and chroma component adder Q12. The amount of delay in DL1 is 1/2fsc second. When the video signal which passes through DL1 is subtracted from the video signal containing the reflection component of DL1, only the chroma components will be output to the collector of Q13. The level of this chroma component depends on the voltage applied to pin 8/YIN(−) of IC9. Consequently, when the output of the collector of Q13 is added to the video signal (FL4 output), the result will be a video signal whose chroma level is adjusted by the CHROMA CONT voltage. The low-pass filter FL4 functions as a delay line for timing.

The setup control circuit comprises a feedback loop going from the emitter of Q12 to the (−) input of IC12. The output of IC11 controls of the offset of IC12 so that the pedestal level of the emitter output of Q12 follows the SET UP CONT voltage applied to the (+) input of IC11.

The H and V blanking and the addition of reference burst signal to the Q12 output video signal takes place by means of the feedback amplifier consisting of Q1 and Q2. This feedback amplifier is a 2-input analog switcher employing the BLK signal as the switchover signal. The reference burst signal enters one input of the switcher. The synchronizing signal/burst signal section of the Q12 output is replaced by the reference burst signal, by means of the BLK signal. As a result, the analog switcher output is a video signal to which the reference burst signal has been added.

信号が付加されたビデオ信号となる。基準バースト信号は，PR Fsc信号から作られている。PR Fscは，BF信号から作られたバーストゲート信号によって打ち抜かれ，バンドパスフィルターで帯域制限された後，基準バースト信号となる。ノーマル再生モード以外では，基準バースト信号は付加せず，ブランキングのみを行なう。

ダーククリッパーはQ3, Q4, Q5, FL2で構成される回路である。Q5の一方のベースには基準バースト信号が付加されたビデオ信号が入り，他方のベースにはバンドパスフィルターを経たクロマ成分のみが入る。したがって，Q5のエミッターには，クロマ成分を除くペデスタルレベル以下がクリップされた信号が出てくる。クリップレベルは，ブランキング/バーストアダー回路のオフセット調整用ボリュームRV5で設定する。Q3, Q4はQ5の動作点を安定化しており，これによってクリップ動作時のQ5のゲイン補償が行なわれる。

IC3, IC4は出力バッファーである。それぞれの出力側において同期信号が付加される。付加される同期信号はTBC SYNC信号から作られる。Q10に入ったTBC SYNCはRV6によって振幅調整され，つづいてローパスフィルターFL3で波形整形された後，Q8, Q9によってそれぞれのバッファー出力に付加される。Q9のスイッチング動作はS2でON/OFFでき，これによってTBC OUT2のCOMP/NON COMPを選択することができる。

The reference burst signal is generated from the PR Fsc. The PR Fsc is punched out by the burst gate signal which has been generated from the BF signal. After the punched out PR Fsc has been band-limited by the band-pass filter, it becomes the reference burst signal. Excepting the normal playback mode, the reference burst signal is not added, and only blanking takes place.

The dark clipper is a circuit consisting of Q3, Q4, Q5 and FL2. The video signal to which the reference burst signal has been added, is applied to one base of Q5 and in the other base, only the chroma component which has passed through the band-pass filter is applied. The signal below the pedestal level is clipped, excluding the chroma component. The clipped signal appears at the emitter of Q5. The clipping level is set by means of variable resistor RV5 for offset adjustment in the blanking/burst adder circuit. Q3 and Q4 stabilize the operating point of Q5, permitting gain compensation of Q5 during clipping.

IC3 and IC4 are output buffers. At the output side of each buffer are added synchronizing signal which is generated from TBC SYNC signal. The TBC SYNC signal which is applied Q10 is amplified and adjusted by RV6, are then waveshaped by low-pass filter FL3, and added to the respective buffer outputs by means of Q8 and Q9. The switching operation of Q9 can be turned ON/OFF by means of S2, enabling COMP/NON COMP of TBC OUT2 to be controlled.

3-3. クロック・制御信号系回路

3-3-1. バースト信号分離回路〔AD-12基板〕

この回路はAPCの基準信号CB Hを作るために，再生クロマ信号(PB CHROMA)からバースト信号を分離する回路である。チューニングアンプQ4を通ったPB CHROMAは3.58MHzのバンドパスフィルターBPF1で帯域制限された後，バッファーIC5Mを経て電圧コンパレーターIC5Lに入る。この電圧コンパレーターはヒステリシス特性を持っている。電圧コンパレーターの出力のゲート回路にはバーストフラグが入力されており，ここからTTLレベルのバースト信号が取り出される。

3-3-2. SELECT Hジェネレーター〔AD-12基板〕

SELECT Hジェネレーターは，PB SYNCにWINDOWをかけて等化パルスおよびノイズを除去し，信頼性の高いH信号を作る回路である。PB SYNCはIC4QによりWINDOWをかけられてPB Hとなる。WINDOWは1H前のPB Hから作られている。セレクターIC4Kは，ノーマル再生モードの場合はPB H，BIDIREXモードの場合はPB SYNCを選択する。セレクター出力をSELECT Hと呼ぶ。
IC3Bは書込み側のカラーフレーミング(SC-H位相)調整回路，IC4LはCB H検出用パルスを発生する回路である。CB H検出用パルスはB/Wモードの場合，カラーモードにおけるCB Hのラインシフトに対応させるため，1Hおきに約140ns位相シフトされる。

3-3-3. W CKジェネレーター〔AD-12基板〕

W CKジェネレーターは書込みクロックW CKを発生する回路である。W CKはA/D変換およびメインメモリーに使われる。
IC5H，4Hで構成されるVCOにおいて4fscのW CKが発生される。VCOには，W CKを再生バースト信号の位相変動に追従させるためにオープンループのAPCがかけられている。
APCのリセットパルスはIC3I-13出力である。APCリセットパルスのトリガーはモードによって種々異なるが，カラー・ノーマル再生モードの場合，再生バースト信号の位相情報を正確に持っているCB H信号である。CB Hは，IC5K，IC4Kにおいて再生バースト信号の中央から抜き取られたSC一波の信号である。B/W・ノーマル再生モードの場合のトリガーはIC4L-13出力のCB H検出用パルス，BIDIREXモードの場合はPB SYNCを遅延した信号である。REF Vの期間はトリガーは無い。APCリセットパルスはバースト信号部分にドロップアウトがあった場合 VCOへは送られ

3-3. CLOCK AND CONTROL SIGNAL SYSTEM CIRCUIT

3-3-1. Burst Signal Separating Circuit [AD-12 Board]

This circuit separates the burst signals from the off-tape chroma signals (PB CHROMA) in order to generate the APC reference signal, CB H. PB CHROMA which passes through tuning amplifier Q4 is band-limited by 3.58MHz band-pass filter BPF1, then passes through buffer IC5M and enters voltage comparator IC5L. Voltage comparator IC5L is provided with hysteresis. The burst flag is inputted to the gate circuit at the output of the voltage comparator, from where a TTL level burst signal is taken off.

3-3-2. SELECT H Generator [AD-12 Board]

The SELECT H generator applies a WINDOW to the PB SYNC signal to remove equalizing pulses and noise, and generates a highly reliable H signal. PB SYNC is applied the WINDOW by means of IC4Q to become PB H. The WINDOW is generated from 1H prior PB H. Selector IC4K selects PB H in the case of the normal playback mode, or PB SYNC in the case of the BIDIREX mode. The selector output is called SELECT H.
IC3B is a color framing (SC-H phase) adjusting circuit on the write side, and IC4L is a circuit which generates CB H detection pulse. The CB H detection pulse is phase-shifted approximately 140ns every 1H, in order to correspond with the CB H line shift during the B/W mode.

3-3-3. W CK Generator [AD-12 Board]

The W CK generator is a circuit which generates the write clock W CK. W CK is used in the A/D converter and the main memory.
A 4fsc W CK is generated at VCO consisting of IC5H and 4H. An open loop APC is applied to VCO in order to make W CK follow the phase fluctuation of the off-tape burst signal. The reset pulse of APC is the output of IC3I-13. The trigger of the APC reset pulse varies depending upon the mode, but in the case of the color and normal playback mode, it is a CB H signal which accurately keeps phase data concerning the off-tape burst signal. CB H is a signal which has the phase of the SC single wave that is sampled from the center of the off-tape burst signal at IC5K and IC4K. In the case of the B/W and normal playback mode, the trigger is the CB H detection pulse output from IC4L-13, and in the case of the BIDIREX mode, it is a delayed PB SYNC signal. During the REF V period, there is no trigger. The APC reset pulse is not sent to VCO if there is a dropout in the burst signal portion, and the oscillation of VCO continues in the same phase as that of 1H

ず，VCOの発振は1H前の位相でそのまま持続される。
APCリセットパルスがトリガーされてからW CKの第1発目が出力されるまでの時間は，本来ならば一定でなければならないが，回路系の温度特性により変動を生ずる。IC4G-3，IC4D，IC4E，IC5F，IC3Iで構成されるループは，この時間変動の補正回路であり，W CKの第1発目がCB Hを遅延して作られた基準タイミングに常に一致するようにAPCリセット期間を制御している。
VCOはAFC回路も備えている。このAFCは4fscの発振周波数を安定化させるためのものである。このAFCループは，W CKを4分の1にカウントダウンした信号W SCがREF Fscに等しくなるように，REF V期間のみ動作している。

3-3-4. W ZEROジェネレーター〔AD-12基板〕

W ZEROジェネレーターはメモリー書込みのスタート点を示す信号W ZEROを作る回路である。W ZEROは，PB H（SELECT H）から常に一定の点に，W SCで同期化されて作られる。この同期化はPLLで行なわれる。PLLの基準位相は，IC2Aにおいてライン相互の位相が同相にそろえられたW SCである。PLLは，PB Hによってトリガーされた IC3B-4出力の後縁がPB Hと一定の位相関係にあるW SCのエッジに一致するように，IC3B-4出力のパルス幅を制御している。IC3B-4出力の後縁はW SCで同期化されてW ZEROとなる。W ZEROの位相は，IC4B，IC5Cおよびスイッチ S1による回路において，SC1周期分を1ステップとして最大7ステップ変えることができる。これによってTBC OUTのビデオ位相が調整される。
なお，PLLのエラー電圧は，ノーマル再生の開始時やカラーフレーミング調整時，あるいはエラー電圧が過大になった時，強制的に0Vにされる。IC1D，IC2Cによる回路はオーバーエラー検出回路である。

3-3-5. ベロシティエラー検出回路〔AD-12基板〕

ベロシティエラーは，1H前のCB HによってAPCがかけられているW SCと現在のCB Hとを位相比較することによって検出している。W SC-CB H位相差はIC5Eにて電圧に変換されVELO ERRORとなる。H毎のVELO ERRORリセットはQ3で行なっている。ベロシティエラーの検出範囲は1Hにつき1SCp-pであり，中心値は±SC/2の点に設定されている。

before.
Normally, the period from when the APC reset pulse is triggered until the first pulse of the W CK pulses is outputted must be constant, however fluctuations will occur due to the temperature characteristics of the circuit. The loop consisting of IC4G-3, IC4D, IC4E, CI5F and IC3I is a compensation circuit for this time fluctuation. It controls the reset timing of APC so that the first pulse of W CK always coincides with the reference timing produced by delaying CB H.
VCO is also provided with an AFC circuit. This AFC stabilizes the 4fsc oscillation frequency. The AFC loop operates only during the REF V period to ensure that the W SC signal created by counting down W CK to 1/4 is equal to REF Fsc.

3-3-4. W ZERO Generator [AD-12 Board]

Then W ZERO generator is a circuit which creates the W ZERO signal that indicates the starting point of memory write. W ZERO is generated in synchronization with W SC so that it is always at a fixed point from PB H (SELECT H). This synchronization takes place under PLL. The reference phase of PLL is created from W SC whose line phases are made the same on lines at IC2A. PLL controls the pulse width of the output of IC3B-4 so that the trailing edge of the output of IC3B-4 which is triggered by PB H is in line with the edge of W SC which has a constant phase relationship with PB H. The trailing edge of the output of IC3B-4 is synchronized with W SC to become W ZERO. The phase of W ZERO can be varied in the range of a maximum of 7 steps, with each step equal to the period of SC, in the circuit consisting of IC4B, IC5C and switch S1. In this way, the video phase of TBC OUT can be adjusted.
The PLL error voltage is forcibly set to 0V at the commencement of normal playback, during color framing adjustment, or if the error voltage becomes excessively large. The circuit consisting of IC1D and IC2C is an over-error detection circuit.

3-3-5. Velocity Error Detection Circuit [AD-12 Board]

Velocity error is detected by means of a phase comparison between W SC to which APC is applied by the CB H of 1H before, and the present CB H. The phase difference between W SC and CB H is converted into a voltage by IC5E and it causes a VELOCITY ERROR. The VELOCITY ERROR reset for each H is performed by Q3. The range of velocity error detection is 1SCp-p per 1H, and the center value is set at the ±1/2SC point.

3-3-6. シーケンスコントロール回路〔MY-15基板〕

シーケンスコントロール回路はメインメモリーを制御する回路である。

W ZEROフォーマーはW ADDRESSカウンターのLOAD信号を発生する回路である。通常は，W ZEROの立上がりの後のW SC一波がLOAD信号となっている。ドロップアウトなどによりW ZEROが入力されなかった場合は，W ADDRESSカウンターのキャリーアウトがW ZEROの代用となる。

W ADDRESSジェネレーターは3ラインメモリーの書込みアドレスを発生する回路である。4ビットバイナリーカウンターで構成されており，10ビットのアドレスデータを出力する。カウンターのクロックにはW CKが用いられている。なお，最下位のアドレスデータW0は3ラインメモリーの書込みパルスとしても用いられている。DL-5P，IC4Pの回路がW0を書込みパルスに整形する回路である。

R ADDRESSジェネレーターは3ラインメモリーの読出しアドレスを発生する回路である。W ADDRESSジェネレーターと同様，4ビットバイナリーカウンターで構成されており，10ビットのアドレスデータを出力する。カウンターのLOAD信号はR ZERO，クロックにはR CKが使われる。

W/R LINE ADDRESSジェネレーターは3ラインメモリーの書込みライン，読出しラインを指定するラインアドレスを作る回路である。SG-62基板から送られているR ADD P（リードアドレスパルス）は1/3にカウントダウンされてR LINE ADDRESSとなる。W LINE ADDRESSはR LINE ADDRESSにプラス2した値である。これによって，メモリーの書込み動作/読出し動作の重複が避けられている。図3-2-2にメモリーの書込み/読出しの関係を示す。

W N/Iジェネレーターは，再生ビデオ信号のSCのライン毎の位相情報を正確に持っているW N/I信号を発生する回路である。BKH-2100では，Y/C共に1H前置換えによるドロップアウト補償を行なっているので，1H前置換えの後，Y/Cミックスの際には，クロマ信号のライン反転を再現するために，正確なSCライン位相情報が必要である。また，W ZEROの発生点は各ラインとも同一点になっているので，W ZEROを同期化するSCのライン相互間の位相を同相にそろえるためにも，正確なSCライン位相情報が必要である。W N/I信号はこれらの必要を満たすための信号である。

W ADDRESSデータのW6とW9からN/I切換え用のHレートのパルスが作られる。これが1/2にカウントダウンされてW N/I信号となる。W N/Iの極性（LまたはHレベル）の設定はAD-12基板から送られているN/I SET PULSEにより行なう。N/I SET PULSEは正確なカラーフレーム情報を持っている信号である。これによって，W N/I信号には正確なSCライン位相情報が与えられる。BIDIREXモードおよびB/Wモードの場合にはW N/Iは出力されない。

3-3-6. Sequence Control Circuit [MY-15 Board]

The sequence control circuit is used to control the main memory.

The W ZERO forming circuit is a circuit which generates the LOAD signal of the W ADDRESS counter. Normally, the W SC single wave which occurs after the rise of W ZERO becomes the LOAD signal. If W ZERO is not inputted due to a dropout, etc., the carry-out of the W ADDRESS counter will take the place of W ZERO.

The W ADDRESS generator is a circuit which generates the write address for the 3-line memory. It consists of a 4-bit binary counter, and outputs 10-bit address data. W CK is used for the counter clock. The LSB address data W0 is also used as the write pulse for the 3-line memory. The circuits DL-5P and IC4P are used to shape W0 into a write pulse.

The R ADDRESS generator is a circuit which generates the read address for the 3-line memory. Like the W ADDRESS generator, it consists of a 4-bit binary counter, and outputs 10-bit address data. R ZERO is used as the LOAD of the counter, and R CK as the clock.

The W/R LINE ADDRESS generator is a circuit which creates the line address that designates the write line and read line for the 3-line memory. R ADD P (read address pulse) sent from the SG-62 board is counted down to 1/3, to become the R LINE ADDRESS. The W LINE ADDRESS is the R LINE ADDRESS plus 2. In this way, it is possible to avoid overlapping of the memory write/read operations. Fig. 3-2-2 shows the relationship between the memory write/read.

The W N/I generator is a circuit which generates a W N/I signal that accurately keeps phase information concerning each line of the off-tape video signal SC. In the BKH-2100, the dropout compensator replaces the dropout section with the 1H prior signal. Consequently, after performing the replacement, it is necessary to have accurate SC line phase information in order to reproduce the line inversion of the chroma signal during Y/C mixing. Also, because the generation point of W ZERO is the same for all lines, it is necessary to have accurate phase information in order to align the mutual line phases of SC which synchronizes W ZERO. The signal W N/I is used to satisfy the above requirements.

The H rate pulse for switching N/I is generated from W6 and W9 of the W ADDRESS data, it is count down to 1/2 to become the W N/I signal. The polarity setting ("L" or "H" level) of W N/I is performed by the N/I SET PULSE which is sent from the AD-12 board. The N/I SET PULSE is a signal which keeps accurate color framing information. In this way, accurate SC line phase information is assigned to the W N/I signal. In the case of BIDIREX and the B/W mode, W N/I is not outputted.

The N/I memory is provided in correspondence with the main memory, in order to send W N/I to the read side.

N/Iメモリーは，W N/Iを読出し側に送るために，メインメモリーに対応して設けられたメモリーである。N/Iメモリー出力はR N/I信号としてSG-62基板のSC位相反転回路へ送られる。このSC位相反転はR ZEROの発生点をW ZEROと同じく各ラインとも同一点にするために必要な操作である。これによってW ZEROとR ZEROは一致され，メインメモリー入力のビデオ位相はメインメモリー出力に再現されることになる。BID, BW, R N/Iジェネレーターは，BIDIREXモードまたはB/Wモードの場合にN/IメモリーからR N/Iが出力されないので，それを補う代用のR N/Iを発生する回路である。代用のR N/I信号はR ADD PをD-FFで1/2にカウントダウンした信号である。

3-3-7. SYNCジェネレーター〔SG-62基板〕

SYNCジェネレーターはREF SYNCに同期した各種の同期信号，制御信号を作る回路である。回路構成はSG用LSIによるPLLである。発振周波数4fscのVCO(VCXO1)の出力はSYNC発生用IC1Lに入り，ここでカウントダウンされてFHとして出力される。FHはIC1Kで位相調整を受けた後，GEN-LOCK用IC1Pに入る。IC1Pには外部同期信号としてREF SYNCが入力されており，ここでFHとREF SYNCは位相比較される。エラー電圧はHCOM OUTとしてIC1Pから出力され，ローパスフィルターを経てVCOに送られ，発振周波数を制御する。なお，REF SYNCが入力されない場合は，IC1Pの位相比較出力は固定電圧となり，SYNCジェネレーターはインターナルモード（固定発振）となる。Vの同期については，GEN-LOCK用IC1PにおいてREF SYNCからV信号を検出し，このV信号でSYNC発生用IC-1Lをリセットするという方法で行なっている。ただし，C-ONFIモードの場合のIC1Lのリセットには，1.5Hアドバンスということを考慮して，PB Hから作られたVリセットパルスが用いられる。

SYNC PHASE CONTROLは，ループ内のFH信号をIC1Kで位相シフトすることにより行なわれる。IC1K, IC1J, IC1Iによる回路は，IC1K-12出力の積分値がSYNC CONT電圧に追従するように機能する。したがって，SYNC CONT電圧を変化するとIC1K-12出力のDUTY比が変化し，この結果，SYNC位相がシフトされる。

Hブランキング信号は，IC1L出力のHD信号から作られている。HDはIC2Jにより後縁が引き伸ばされた後，Vブランキング信号とミックスされてBLK信号となる。Vブランキング信号はHDおよびVDから作られる。10〜21ライン以外のブランキング信号にはVDがそのまま用いられる。10〜21ラインについてのブランキング信号には，VDの後縁から作られた1H幅のパルスを入力信号とするシフトレジスターの並列出力が用いられる。シフトレジスターはHブランキング信号をクロックとしている。シフトレジスターの

The N/I memory output is sent to the SC phase inversion circuit on the SG-62 board, as a R N/I signal. This SC phase inversion is a necessary operation for making the generation point of R ZERO the same for all lines, like W ZERO. In this way, W ZERO point and R ZERO point correspond with each other, and the video phase of the main memory input is reproduced at the main memory output. The BID and BW, R N/I generators are circuits which generate a substitute R N/I signal to compensate for the fact that a R N/I signal is not outputted from the N/I memory during the BIDIREX or B/W mode. The substitute R N/I signal is obtained by counting down R ADD P to 1/2 by D-FF.

3-3-7. SYNC Generator [SG-62 Board]

The SYNC generator is a circuit which generates various synchronizing signals and control signals synchronized with REF SYNC. The circuit configuration is a PLL employing an SYNC generator LSI. The VCO (VCXO1) output generated at a frequency of 4fsc enters the SYNC generating IC1L, where it is counted down and outputted as FH. After undergoing phase adjustment by IC1K, FH enters the GEN-LOCK IC1P. The REF SYNC is used as an external synchronizing signal for IC1P. In the IC1P, the phases of FH and REF SYNC compared with each other. The error voltage is outputted from IC1P as HCOM OUT, passing through a low-pass filter and sent to VCO, where it controls the oscillation frequency. If REF SYNC is not inputted, the phase comparison output from IC1P will become a fixed voltage, and the SYNC generator will go into the internal mode (fixed frequency).

Synchronization of V phase is performed by detecting the V signal from REF SYNC at the GEN-LOCK IC1P, and using this V signal to reset the SYNC generating IC1L. In the case of the CONFI mode, however, reset of IC1L is performed using the V reset pulse generated from the PB H, while taking into account the 1.5H advance.

SYNC PHASE CONTROL takes place by phase-shifting the FH signal in the loop, at IC1K. The circuit consisting of IC1K, IC1J and IC1I functions so that the integral value of the IC1K-12 output follows the SYNC CONT voltage. Consequently, if the SYNC CONT voltage varies, the DUTY ratio of the IC1K-12 output will vary, as a result, the phase of SYNC will be shifted.

The H blanking signal is generated from the HD signal of the IC1L output. HD is mixed with the V blanking signal after its trailing edge is stretched by IC2J, to become the BLK signal. The V blanking signal is generated from HD and VD. VD is used without change as the blanking signal for lines other than lines 10 to 21. For lines 10 to 21, the parallel output of a shift register whose input signal is a 1H wide pulse generated from the trailing edge of VD is used as the blanking signal. The shift register uses the H

並列出力はORゲートを経てBLK信号となるわけであるが，それぞれの出力はスイッチS2, S3によってORゲートへの入力をON/OFFできるようになっている。したがって，10ラインから21ラインまでの間のブランキングはS2, S3によって任意のラインが指定できる。なお，第21ラインのブランキング幅は1フィールドおきにH/2とされている。
TBC FRAME信号は，IC1L出力のO/E信号がタイミング調整されて作られている。TBC FRAMEはLALT信号と共にVTR(BVH-2000)に送られ，インターナルロックモードにおけるサーボ制御に使われる。
BURST FLAG信号はIC1L出力のSYNC信号をVD信号でゲートして得ている。

3-3-8. SCジェネレーター〔SG-62基板〕

SCジェネレーターは基準ビデオ信号(SR VIDEO)のバースト信号に同期したSCを発生する回路である。ここで発生されたSCはTBC OUTのバースト信号となる。
SCジェネレーター回路はPLLによって構成されている。IC2C, IC2Bの位相比較回路には，SR VIDEOから分離されたバースト信号と，VCOの出力(4fsc)が1/8にカウントダウンされた信号が入力されている。両入力信号はIC1P出力のTGC信号でゲートされており，これにより，位相比較はSC6波の期間について行なわれる。検出された位相差は電圧に変換され，VCO(VCXO2)の発振周波数を定める。VCO出力は1/8にカウントダウンされた後，位相シフターを経て位相比較回路へ戻される。この位相シフターはSC PHASE CONTROLのためのものである。位相シフターの動作は，3-3-7項で述べられているSYNC PHASE CONTROLの動作と同じである。位相シフトされる信号にfsc/2信号が使われているのは，SC PHASEの可変範囲を±360°以上とるためである。なお，REF BWの場合には，VCXO2の代わりにSYNCジェネレーターのVCXO1が用いられ，SCジェネレーターのループはカットされる。
VCO出力4fscは1/4にカウントダウンされて，REF Fsc,およびPR Fscとして出力される。

3-3-9. R CKジェネレーター〔SG-62基板〕

この回路は4fscの読出しクロックR CKを発生する回路である。R CKジェネレーターは，HUEコントロール部，SC位相変調部，R CK発生部で構成されている。
SCジェネレーター出力のfsc/2は，まずHUEコントロール部に入る。この回路は，3-3-7項で述べられているSYNC PHASE CONTROLにおける位相シフト回路と同様な回路であり，fsc/2信号の位相シフトをする回路である。fsc/2

blanking signal as a clock. The parallel output of the shift register passes through an OR gate, and it becomes a BLK signal. Each output can turn ON/OFF the input to the OR gate by means of switches S2 and S3. Consequently, for blanking between lines 10 and 21, it is possible to designate an arbitrary line by means of S2 and S3. The blanking width for the 21st line is H/2 for every second field. The TBC FRAME signal is generated by adjusting the timing of the O/E signal outputted from IC1L.
TBC FRAME is sent to the VTR(BVH-2000) together with the LALT signal, and is used for servo control during the internal lock mode.
The BURST FLAG signal is obtained by gating the SYNC signal outputted from IC1L, using the VD signal.

3-3-8. SC Generator [SG-62 Board]

The SC generator is a circuit which generates SC synchronized with the burst signal of the reference video signal (SR VIDEO). The generated SC signal becomes the burst signal of TBC OUT.
The SC generator circuit consists of a PLL. Into the phase comparison circuit consisting of IC2C and IC2B are inputted the burst signal separated from SR VIDEO and the signal produced by counting down the output (4fsc) of VCO to 1/8. Both input signals are gated by the TGC signal outputted from IC1P. As a result, phase comparison takes place during the period of the six SC waves. The detected phase difference is converted into a voltage, and the oscillation frequency of VCO (VCXO2) is determined. The VCO output is counted down to 1/8, and is then returned to the phase comparator circuit via a phase shifter. This phase shifter is for SC PHASE CONTROL. The operation of the phase shifter is the same as the SYNC PHASE CONTROL operation described in section 3-3-7. The fsc/2 signal is used as the phase shift signal in order to obtain a variable range of SC PHASE of at least ±360°. In the case of REF BW, VCXO1 of the SYNC generator is used in place of VCXO2, and the SC generator loop is cut.
The 4fsc output of VCO is counted down to 1/4, and outputted as REF Fsc and PR Fsc.

3-3-9. R CK Generator [SG-62 Board]

This circuit generates the 4fsc read clock R CK. The R CK generator consists of the HUE control section, SC phase modulation section, and R CK generating section.
The fsc/2 output of the SC generator first enters the HUE control section. This circuit, which is similar to the phase shift circuit used for SYNC PHASE CONTROL mentioned in section 3-3-7, is used as the phase-shift circuit for the fsc/2 signal. The fsc/2 signal is the source of

信号はR CKの原信号であり，この信号の位相を変えると，TBC OUTのバースト信号となるPR FscとR CKとの相対位相が変わる。したがって，これによってHUEが調整される。

位相シフトされたfsc/2信号は，次にSC位相変調回路に入る。この回路はベロシティエラー電圧によってR CKの原信号であるfsc/2信号の位相変調を行なう回路である。位相変調方式は鋸歯状波スライス方式がとられている。W CKに生じているベロシティエラーは，この位相変調によって補償される。

位相変調を受けたfsc/2信号は，デューティ比が1：1にされた後，8逓倍回路に入る。入力されたfsc/2信号は，DL-5FおよびIC5Gによって，周波数スペクトル上の4fsc成分のエネルギーが高められたパルスとなる。このパルスはバンドパスフィルターへ通され，ここから4fsc成分のみが取り出される。取り出された4fsc信号は電圧コンパレーターにてパルス化され，R CKとなる。なお，R CKはカウンターIC5Nで1/4にカウントダウンされている。このカウントダウンされたfsc信号は，R ZERO発生に用いられる。

3-3-10. ベロシティエラー補正回路〔SG-62基板〕

この回路は，書込み側で検出されたベロシティエラー電圧をメインメモリー中のビデオ信号に対応させるために，それを一時的にホールドし，さらに，理想的ベロシティエラーに近づけるために，読み出されたベロシティエラー電圧に対して二次曲線近似による補正を施す回路である。

ベロシティエラー電圧VELO ERRORはIC4Kで増幅され，オフセットが与えられてベロシティエラーメモリーに入力される。ベロシティエラーメモリーは電圧ホールド回路で構成されており，電圧ホールド回路は3ラインメモリーに対応して3回路設けてある。ベロシティエラーメモリーのアドレス指定はW ADD 2^0, 2^1 信号によって行なわれる。書き込みパルス（サンプリングパルス）はVELO W. P信号である。VELO W. Pのタイミングは図3-3-1に示すように二つのW ADDRESSにまたがっているので，VELO ERRORは二つの電圧ホールド回路に書き込まれていることになる。このようにすると，C DO（バースト信号の欠落）

R CK signal. When its phase is changed, the relative phase of R CK and PR Fsc which becomes the TBC OUT burst signal will change. Consequently, the HUE can be adjusted in this manner.

The phase-shifted fsc/2 signal next enters the SC phase modulation circuit. This circuit phase-modulates the fsc/2 signal, using the velocity error voltage. A sawtooth wave slice method is employed as the phase-modulation system. The velocity error which appears on W CK is compensated by means of this phase modulation.

The phase-modulated fsc/2 signal enters a frequency octupler circuit after its duty ratio is made 1:1. The inputted fsc/2 signal becomes a pulse, the energy of whose 4fsc component of the frequency spectrum is increased by DL-5F and IC5G. This pulse passes through a band-pass filter from which only the 4fsc component is obtained. This 4fsc signal becomes the R CK pulse by means of a voltage comparator. R CK is counted down to 1/4 by counter IC5N, and the counted-down fsc is used for generating R ZERO.

3-3-10. Velocity Error Compensation Circuit [SG-62 Board]

This circuit momentarily holds the velocity error voltage detected at the write side in order to make it correspond with the video signal in the main memory, then compensates the read out velocity error voltage by means of a second order approximation, in order to bring it near the ideal velocity error.

The velocity error voltage VELO ERROR is amplified by IC4K, then the offset is given, and input to the velocity error memory. The velocity error memory consists of three voltage hold circuits which correspond to the 3-line memory. Address designation of the velocity error memory takes place by means of the W ADD 2^0, 2^1 signals. The write pulse (sampling pulse) is the VELO W. P signal. Since the timing of VELO W. P spans two write addresses, as shown in Fig. 3-3-1, VELO ERROR is written into two voltage hold circuits. In this way, as in the case of C DO (dropout of burst signal), even if VELO ERROR is not

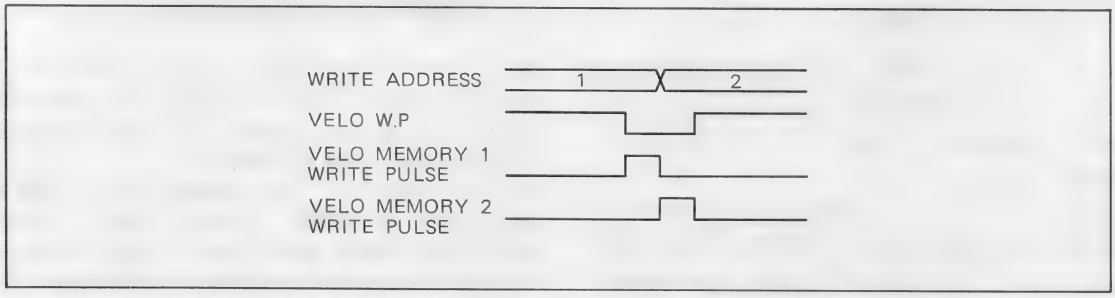


図3-3-1. ベロシティエラーの書込みタイミング

Fig. 3-3-1 Write Timing of Velocity Error

の場合のように，1H後にVELO ERRORが得られなくなっても1H前のVELO ERRORを代用することができる。書き込まれたVELO ERRORは，メモリーアドレスを指定する信号R ADD 2^0, 2^1によって読み出され，ラインベロシティエラージェネレーターへ送られる。
ラインベロシティエラージェネレーターはVELO ERRORを二次曲線近似によって補正する回路である。
二次曲線近似された電圧はSCモジュレーターへ送られ，R CKの原信号であるfsc/2を位相変調する。その結果，カラー処理における残留位相誤差が±2.5ns以下という高精度なベロシティエラー補償が達成される。
なお，B/Wモード，あるいはBIDIREXモードの場合には，ベロシティエラーのリセット状態がそのまま保持され，二次曲線近似補正は行なわれない。

3-3-11. R ZEROジェネレーター〔SG-62基板〕

R ZEROジェネレーターはメモリー読出しのスタート点を示す信号R ZEROを作る回路である。R ZEROは，W ZEROと同様，Hのタイミングから常に一定の点に，R SC(R CKを1/4した信号)で同期化されて作られる。
HD信号から作られたIC3P-12出力は，その後縁がIC5S-3出力のある特定の一波のエッジ(立下がり)に一致するように，パルス幅がPLLによって制御される。この結果，IC3P-5出力の後縁はR SCに位相ロックする。シフトレジスター(IC4R, IC4S)では，IC3P-5出力の後縁からSC3周期分の幅をもつパルスを発生する。このパルスがR ZERO信号である。シフトレジスターのクロックには，R N/I信号で1Hおきに反転されたR SCが使われている。これによって，書込み側のSCの位相情報(N/I)は読出し側に伝えられ，R ZEROはW ZEROを正しく再現することになる。
なお，PLLのエラー電圧は，W ZEROのPLLと同じ様に，ノーマル再生の開始時やカラーフレーミング調整時，あるいは過大なエラー電圧発生時には強制的に0Vにされ，PLLの動作は停止する。

3-3-12. カラーフレーミング表示回路〔AD-12, SG-62基板〕

カラーフレーミング表示回路は，書込み側および読出し側において，SC-H位相を常時監視する回路である。SC-H位相が最適値である場合には，"PB CF IN", と"REF CF IN"のLEDが点灯される。
BKH-2100はカラーフレーミング調整(SC-H位相調整)が可能である。SG-62基板のREF CF NORM/ADJ SWをADJに設定すると，書込み側のSC-H位相はAD-12基板のRV3(PB CF)によって，また読出し側のSC-H位相はSG-

obtained 1H later, it is possible to use the VELO ERROR of 1H before instead. The written VELO ERROR is read out by means of the signal R ADD 2^0, 2^1 which designates the memory address, and is then sent to the line velocity error generator.
The line velocity error generator is used to compensate VELO ERROR by means of a second order approximation. The second order approximated voltage is sent to the SC modulator and phase modulates fsc/2 which is the source of R CK signal. As a result, it is possible to attain high precision velocity error compensation of whose residual phase error is ±2.5ns or less during color processing. In the case of the B/W mode or BIDIREX mode, the reset condition of the velocity error will be retained as it is, and the second order approximation compensation will not take place.

3-3-11. R ZERO Generator [SG-62 Board]

The R ZERO generator is a circuit which generates the R ZERO signal that indicates the start of memory readout. Like W ZERO, R ZERO is generated in synchronization with R SC (signal generated by quartering RCK) so that it is always at a fixed point from the H timing.
The pulse width of the IC3P-12 output which is generated from the HD signal is controlled by PLL so that its trailing edge is in line with the negative-going edge of a specific wave of the IC5S-3 output. As a result, the trailing edge of the IC3P-5 output is phase-locked to R SC. In the shift register (IC4R and IC4S), a pulse having a width equal to the period of three SCs from the trailing edge of the IC3P-5 output is generated. This pulse is the R ZERO signal. The clock for this shift register is R SC which is inverted every 1H by the R N/I signal. In this way, the SC phase information N/I at the write side is transferred to the read side, enabling R ZERO to correctly reproduce W ZERO.
Like the PLL of W ZERO, the error voltage of PLL is forcibly set to 0V at the commencement of normal playback, during color framing adjustment, or in the event of an excessively large error voltage, and the operation of PLL will stop.

3-3-12. Color Framing Display Circuit [AD-12 and SG-62 Boards]

The color framing display circuit continually monitors the SC-H phase at both the write and read sides. When the SC-H phase is the optimum value, the "PB CF IN" and "REF CF IN" LEDs will light up.
With the BKH-2100, color framing adjustment (SC-H phase adjustment) is possible. When the REF CF NORM/ADJ SW on the SG-62 board is set to ADJ, the SC-H phase on the read side can be adjusted by RV3 (PB CF) on the AD-12 board, and also the SC-H phase on the read side can

62基板のRV18(REF CF)によって，それぞれ調整できる。
カラーフレーミング表示回路は，ある特定のSC-H位相に対してWINDOWをたてることによって，SC-H位相が最適値であるか否かの判定をしている。このWINDOWはNORM用とADJ用の二種類ある。
書込み側のWINDOWは，NORM時はPB Hを基準にして作られた幅約140nsのパルス，ADJ時はW SCから作られた幅約30nsのパルスである。
読出し側のWINDOWは，NORM時はHDを基準にして作られた幅約140nsのパルス，ADJ時はR CK, R CK/2, R SCの三種の信号によって作られた幅約30nsのパルスである。

be adjusted by RV18 (REF CF) on the SG-62 board. The color framing display circuit judges whether or not the phase of SC-H is suitable by applying a WINDOW to a specific SC-H.
There are two kinds of WINDOW, one for NORM and one for ADJ. The write side WINDOW is a pulse of approx. 140ns width generated on the basis of PB H during NORM, or a pulse of approx. 30ns width generated from W SC during ADJ.
The read side WINDOW is a pulse of approx. 140ns width generated on the basis of HD during NORM, or a pulse of approx. 30ns width generated by means of the three signals, R CK, R CK/2, and R SC.

3-4. 信　号

BKH-2100で用いられている信号とその機能は次のとおりである。(アルファベット順)

BF

〔Burst Flag〕
リファレンスのバースト信号のタイミングを示す信号。この信号を基にバーストゲートパルスが作られる。

BLK

〔Blanking signal〕
REF側のH, Vブランキング信号。 Hブランキングは同期信号とバースト信号部分について行なわれる。Vブランキングは1～21ラインを対象としている。このうち1～9ラインは常にブランキングされる。 10～21ラインについては，ブランキングするラインをスイッチによって指定できる。

CB H

〔Center of Burst with H Rate〕
再生バースト信号中央付近のSC一波の位相をもつHレートの信号。この信号によってW CK発生用APCの基準信号が作られる。

C DO

〔Chroma Dropout signal〕
バースト信号がドロップアウトしたことを示す信号。通常はCB H信号によってトリガーされた幅約10 μsの負方向パルス信号であるが，バースト信号がドロップアウトするとパルスは出ず"H"レベルとなる。バースト信号がドロップアウトした場合には，クロマ信号は1H前ライン置換えが行なわれる。

CF ADJUST

〔Color Framing Adjust signal〕
SG-62基板のCF ADJUST/NORMALスイッチによる信号。CF ADJUSTのとき"L"となる。

CHROMA LEVEL CONT

〔Chroma Level Control Voltage〕
TBC OUT1, 2のクロマレベルを調整するための制御電圧。VTRのREMOTE AUXコネクターを経由して外部(例えばBK-2006)から送られてくる。

COL FR PULSE

〔Color Frame Pulse〕
再生ビデオ信号の第1フィールドの先頭部のタイミングで出力される幅約5msの4フィールドレートの負方向パルス。この信号によって，書込み側と読出し側で作られているSCのライン位相反転を初期設定し，それぞれのSCに，再生ビデオ信号の正しいカラーフレーム情報を持たせる。

4-3. SIGNALS

The signals used in the BKH-2100 and their functions are as follows. (The signals are arranged alphabetically.)

BF

[Burst Flag]
The signal which indicates the timing of the reference burst signal. Based on this signal, the burst gate pulse is generated.

BLK

[Blanking Signal]
The H and V blanking signal on the REF side. For the H blanking, sync and burst signal portions of the video signal are blanked out. For the V blanking, lines 1 to 21 can be blanked out. Lines 1 to 9 are always blanked out, and the blanking for lines 10 to 21 can be designated by means of switches.

CBH

[Center of Burst with H Rate]
The H rate signal which has the phase of one SC wave near the center of the playback burst signal. By means of this signal, the reference signal of APC used for generating W CK is generated.

C DO

[Chroma Dropout Signal]
The signal which indicates that the off-tape burst signal has dropped out. Normally, it is a negative-going pulse of about 10μs width which is triggered by the CB H signal, however when the burst signal drops out, a pulse will not appear, and the output level will be "H". When the burst signal drops out, the chroma signal will be line-replaced with 1H prior signal.

CF ADJUST

[Color Framing Adjust Signal]
This signal is selected by the CF ADJUST/NORMAL switch on the SG-62 board. When the switch is set to CF ADJUST, the output will be "L".

CHROMA LEVEL CONT

[Chroma Level Control Voltage]
The control voltage used to adjust the level of the TBC OUT 1 and 2 chroma signals. It is applied from an external source (for example, BK-2006) via the REMOTE AUX connector of the VTR.

COL FR PULSE

[Color Frame Pulse]
The 4-field rate negative-going pulse of about 5ms width which is outputted by the timing of the front of the first field of the off-tape video signal. Under this signal, the line phase inversion of SC which is generated at the write and read sides is set initially, and each SC signal is provided with correct color frame information concerning the off-tape video signal.

COLOR/BW

〔Color/Black and White Mode signal〕

ビデオ信号がカラーモードか白黒モードかを示す信号。カラーモードの時は"H", 白黒モードの時は"L" となる。

COMP/NON COMP

〔Composit/Non-Composit control signal〕

PR-36基板のCOMP/NON-COMPスイッチによる信号。NON-COMPにすると"L"となり，TBC OUT2には同期信号が付加されない。

CONFI

〔Confidence Mode signal〕

VTRが記録時に同時再生している場合（これをCONFIDENCEモードと呼んでいる），"L" となる信号。同時再生した場合，再生ビデオ信号はリファレンスビデオ信号に対してV/3遅延するので，この信号によって，TBCのSYNC GENの同期基準もV/3遅延される。

DEMOD OUT1

〔Demodulator Output 1〕

BVH-2000のデモジュレーター(DM-25基板) 出力信号。デモジュレーター出力には1と2があり，1はBKH-2100に入力される。2は外部TBC(BVT-2000)への出力となる。

DO

〔Dropout signal〕

ビデオ信号のドロップアウトを示す信号。ドロップアウト時は"L"となる。DO2信号の後縁が引き伸ばされた信号である。

DO 2

〔Dropout2 signal〕

VTRのイコライザー(EQ-02基板)で検出されたドロップアウト信号。"L"がドロップアウトを示す。

Fsc

〔Sub-Carrier signal〕

パルス化されたサブキャリヤ信号。WRITE CLOCK GENから発生されるものと，READ CLOCK GENから発生されるものとの二種類ある。

HD

〔H Drive signal〕

SG-62基板のSYNC GENから発生されるHドライブ信号。読出し側のHタイミングとして使われる。

HUE CONT

〔Hue Control Voltage〕

HUE調整のための制御電圧。VTRのREMOTE AUXコネクターを経由して外部(例えばBK-2006)から送られてくる。

COLOR/BW

[Color/Black and White Mode Signal]

The signal indicates whether the video signal is in the color mode or black and white mode. In the color mode, this signal is "H", and in the black and white mode, it is "L".

COMP/NON COMP

[Composite/Non-composite Control Signal]

This signal is produced by means of the COMP/NON-COMP switch on the PR-36 board. When set to NON-COMP, this signal is "L", and a synchronizing signal is not added to TBC OUT2.

CONFI

[Confidence Mode Signal]

The signal which becomes "L" when performing simultaneous playback while the VTR is in the record mode (this is called the CONFIDENCE mode). Since the off-tape video signal will be delayed by V/3 with respect to the reference video signal when performing simultaneous playback, the CONFI signal makes the synchronizing reference of TBC SYNC GEN delay by V/3.

DEMOD OUT 1

[Demodulator Output 1]

This is the demodulator (DM-25 board) output signal of BVH-2000. There are two demodulator outputs, 1 and 2. 1 is inputted to BKH-2100, and 2 is outputted to the external TBC (BVT-2000).

DO

[Dropout Signal]

The signal which indicates the dropout of the video signal. In the event that the video signal drops out, this signal will become "L". This is the signal whose the trailing edge of the DO 2 signal is stretched out.

DO2

[Dropout 2 Signal]

The dropout signal which is detected by the VTR equalizer (EQ-02 board). When it is "L", it indicates a dropout.

Fsc

[Sub-Carrier Signal]

The sub-carrier signal formed into a pluse. There are two types of carrier signals, one is generated from WRITE CLOCK GEN., and the other generated from READ CLOCK GEN.

HD

[H Drive Signal]

This is an H drive signal which is generated from SYNC GEN on the SG-62 board. It is used as an H timing signal on the read side.

HUE CONT

[Hue Control Voltage]

The control voltage for HUE adjustment. It is applied from an external source (for example BK-2006) via the REMOTE AUX connector of the VTR.

INITIAL SET

〔Initial Setting signal〕

PLAY STATUS信号の立上がりのタイミングで出力される信号。W ZERO GENとR ZERO GENを約1秒間リセットする。また，同時にN/I SET PULSE GENを動作させる。

LALT

〔Line Alternation signal〕

ライン反転信号。リファレンスビデオ信号のSC位相のライン反転に対応して，1ライン単位で反転している。

NORM・BW

〔Normal and Black/White Mode signal〕

ビデオ信号がノーマルモードで再生されたモノクロ信号の場合"L"となる信号。

NORM・COLOR

〔Normal and Color Mode signal〕

ビデオ信号がノーマルモードで再生されたカラー信号の場合"L"となる信号。

NORM/INV S.P

〔Normal/Inversion Setting Pulse〕

W N/I信号(書込み側のSC位相のライン反転を指示する信号)の初期設定信号。

PB CF ADJUST

〔Playback Color Framing Adjust Voltage〕

書込み側のSC-H位相を調整するための制御電圧。AD-12基板上のボリュームRV3(PB CF)によって発生される。

PB CHROMA

〔Playback Chroma signal〕

再生ビデオ信号の中のクロマ信号。BVH-2000のデモジュレーター(DM-25基板)から送られてくる。

PB SYNC

〔Playback Sync signal〕

再生ビデオ信号の中のSYNC信号。BVH-2000のデモジュレーター(DM-25基板)から送られてくる。

PB V

〔Playback V Sync signal〕

再生ビデオ信号の中のV同期信号。BVH-2000のデモジュレーター(DM-25基板)から送られてくる。

INTIAL SET

[Initial Setting Signal]

The signal outputted by the timing of the rise of the PLAY STATUS signal. It resets W ZERO GEN and R ZERO GEN for a period of about 1 second. It also operates the N/I SET PULSE GEN.

LALT

[Line Alternation Signal]

The line inversion signal. It performs inversion in l-line units, corresponding to the line inversion of the SC phase of the reference video signal.

NORM・BW

[Normal and Black/White Mode Signal]

The signal which becomes "L" when the video signal is a monochrome signal played back in the normal mode.

NORM・COLOR

[Normal and Color Mode Signal]

The signal becomes "L" when the video signal is a color signal played back in the normal mode.

NORM/INV S.P

[Normal/Inversion Setting Pulse]

The signal necessary for initial-setting of the W N/I signal (signal which indicates line inversion of SC phase at write side).

PB CF ADJUST

[Playback Color Framing Adjust Voltage]

The control voltage used to adjust the phase of SC-H on the write side. It is generated by variable resistor RV3(PB CF) on the AD-12 board.

PB CHROMA

[Playback Chroma Signal]

The chroma signal in the playback video signal. It is received from the demodulator of BVH-2000 (DM-25 board.)

PB SYNC

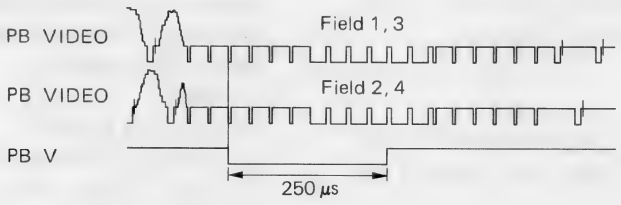
[Playback Sync Signal]

The SYNC signal in the playback video signal. It is applied from the demodulator (DM-25 board) of BVH-2000.

PB V

[Playback V Sync Signal]

The V synchronizing signal in the playback video signal. It is applied from the demodulator (DM-25 board) of BVH-2000.



PLAY STATUS

〔VTR Play Status signal〕

VTRの再生モードを示す信号。"H"の時はノーマル再生，"L"の時はバイディレックス再生である。

PR Fsc

〔Process Fsc signal〕

SERVO REFERENCE VIDEOのSCに同期している信号。この信号からTBC出力のバースト信号が作られる。

R ADD P

〔Read Address Pulse〕

メモリー読出しのためのラインアドレスを作る際のスタート信号。

R ADD 2^0, 2^1

〔Read Address 2^0, 2^1〕

メモリー読出しのためのラインアドレスデータ。

R CK

〔Read Clock〕

メモリー読出しクロック。周波数は4fsc。

R DATA 2^0, 2^1, 2^2, 2^3, 2^4, 2^5, 2^6, 2^7

〔Read Data〕

メモリーから読出されたビデオ信号データ。PR-36基板へ送られてD/A変換される。

READ ADDRESS

〔Read Address Data〕

メインメモリーの読出しアドレスを指定する10ビットのデータ。

REF BW

〔Reference Black and White signal〕

SERVO REFERENCE VIDEOが白黒信号であることを示す信号。白黒信号のとき"L"となる。

REF CF ADJUST

〔Reference Color Framing Adjust Voltage〕

読出し側のSC-H位相を調整するための制御電圧。SG-62基板上のボリュームRV18(REF CF)によって発生される。

REF Fsc

〔Reference Sub-Carrier signal〕

SG-62基板のSC GEN.で作られる読出し側のサブキャリヤ信号。ベロシティエラー補正は受けていない。

REF SYNC

〔Reference Sync signal〕

BVH-2000のサーボリファレンス回路(SR-15基板)から送られてくるSYNC信号。SG-62基板のSYNC GEN.の基準信号となる。

PLAY STATUS

[VTR Play Status Signal]

The signal which indicates the playback mode of the VTR. When it is "H", it represents normal playback, and when it is "L", BIDIREX playback.

PR Fsc

[Process Fsc Signal]

The signal which is synchronized with SC of the SERVO REFERENCE VIDEO. The burst signal of the TBC output is generated from this signal.

R ADD P

[Read Address Pulse]

The start signal used when creating the line address for memory readout.

R ADD 2^0, 2^1

[Read Address 2^0, 2^1]

The line address data for memory read.

R CK

[Read Clock]

The memory read clock. Its frequency is 4fsc.

R DATA 2^0, 2^1, 2^2, 2^3, 2^4, 2^5, 2^6, 2^7

[Read Data]

The data concerning video signals read out from the memory. It is transmitted to the PR-36 board and is D/A converted.

READ ADDRESS

[Read Address Data]

The 10-bit data which designates the read address of the main memory.

REF BW

[Reference Block and White Signal]

The signal which indicates that SERVO REFERENCE VIDEO is a black and white signal. When it is a black and white signal, it becomes "L".

REF CF ADJUST

[Reference Color Framing Adjust Voltage]

The control voltage for adjusting the SC-H phase on the read side. It is generated by means of variable resistor RV18 (REF CF) on the SG-62 board.

REF Fsc

[Reference Sub-Carrier Signal]

The sub-carrier signal on the read side which is generated by SC GEN on the SG-62 board. It is not subjected to velocity error compensation.

REF SYNC

[Reference Sync Signal]

The SYNC signal which is applied from the BVH-2000 servo reference circuit (SR-15 board). It is used as a reference signal for SYNC GEN. of the SG-62 board.

REF 4F

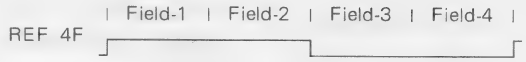
〔Reference 4-Field signal〕

BVH-2000のサーボリファレンス回路(SR-15基板)から送られてくる4フィールドインターバルの信号。2フィールド毎にレベルが反転している。

REF 4F

[Reference 4-field Signal]

The 4-field interval signal which is applied from the BVH-2000 servo reference circuit (SR-15 board). It is inverted every 2 fields.



R NORM/INV

〔Read Normal/Inversion signal〕

R ZERO発生の基準信号となるSCの位相をライン反転する信号。

R ZERO

〔Read Zero signal〕

メモリー読出しのスタートを指示する信号。

SC PHASE CONT

〔SC Phase Control Voltage〕

読出し側のSC位相を調整する制御電圧。VTRのREMOTE AUXコネクターを経由して外部(例えばBK-2006)から送られてくる。

SELECT H

〔Selected H signal〕

ノーマル再生では，1H前のH SYNCによって立てられたWINDOWを通過した信頼度の高いH信号。

BIDIREX再生ではPB SYNCがそのままSELECT Hとなる。

SET UP CONT

〔Set up Control Voltage〕

TBC出力のSET UPを調整するための制御電圧。VTRのREMOTE AUXコネクターを経由して外部(例えばBK-2006)から送られてくる。

SR VIDEO

〔Servo Reference Video signal〕

VTRのサーボリファレンスとなっているビデオ信号。TBCのリファレンスビデオ信号でもある。

SYNC

〔Synchronizing signal〕

SG-62基板のSYNC GEN.から発生される複合同期信号。

SYNC PHASE CONT

〔Sync Phase Control Voltage〕

読出し側のSYNC位相を調整するための制御電圧。VTRのREMOTE AUXコネクターを経由して外部(例えばBK-2006)から送られてくる。

R NORM/INV

[Read Normal/Inversion Signal]

This signal line-inverts the phase of SC which becomes the reference signal for R ZERO generation.

R ZERO

[Read Zero Signal]

The signal which designates the start of memory read.

SC PHASE CONT

[SC Phase Control Voltage]

The control voltage which adjusts the SC phase on the read side. It is applied from an external source (for example BK-2006) via the REMOTE AUX connector on the VTR.

SELECT H

[Selected H Signal]

During normal playback, this is a highly reliable H signal which passes through the WINDOW formed by the H SYNC signal of 1H previously. During BIDIREX playback, PB SYNC becomes SELECT H as it is.

SET UP CONT

[Set Up Control Voltage]

The control voltage used for adjusting the SET UP of the TBC output. It is applied from an external source (for example BK-2006) via the REMOTE AUX connector of the VTR.

SR VIDEO

[Servo Reference Video Signal]

The video signal for the VTR servo reference. It is also the reference video signal for TBC.

SYNC

[Synchronizing Signal]

The compound synchronizing signal which is generated by SYNC GEN on the SG-62 board.

SYNC PHASE CONT

[Sync Phase Control Voltage]

The control voltage used for adjusting the SYNC phase on the read side. It is applied from an external source (for example BK-2006) via the REMOTE AUX connector on the VTR.

TBC FRAME

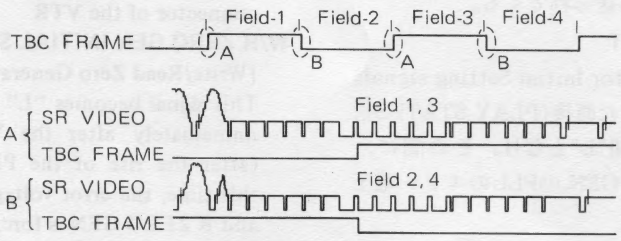
〔TBC Frame signal〕

SG-62基板のSYNC GEN.で発生されるフレーム信号。

TBC FRAME

[TBC Frame Signal]

The frame signal which is generated from SYNC GEN on the SG-62 board.



TBC OUT 1

〔TBC Output Video signal 1〕

時間軸補正されたビデオ信号出力。TBC OUT 1はコンポジットビデオ信号のみが出力される。

TBC OUT 2

〔TBC Output Video signal 2〕

時間軸補正されたビデオ信号出力。TBC OUT 2 については，PR-36基板のCOMP/NON-COMPスイッチによってコンポジット/ノンコンポジットの設定を選択することができる。

TBC SYNC

〔TBC Synchronizing signal〕

SG-62基板のSYNC GEN.で発生された同期信号。TBC OUT 1, 2のSYNC信号となる。

TBC VD

〔TBC V Drive signal〕

SG-62基板のSYNC GEN.で作られたVドライブ信号。

VD

〔V Drve signal〕

SG-62基板のSYNC GEN.で作られたVドライブ信号。TBC VDとしてAD-12基板へ送られる。

VELO ERROR

〔Velocity Error Voltage〕

速度誤差電圧。1H前のCB HによってAPCがかけられたW SCと，現在のCB Hとの位相比較によって検出されている。

VELO ERROR COMP

〔Velocity Error Compensation Voltage〕

速度誤差補償のために読出し側のSC位相を変調する速度誤差電圧。2次曲線近似の手法によって，真の速度誤差に極めて近い値になっている。

VELO W. P

〔Velocity Error Write Pulse〕

VELO ERROR MEMORYにVELO ERRORの書込みを指示する信号。

TBC OUT 1

[TBC Output Video Signal 1]

The video signal output which is time-base corrected. Only a composite video signal is outputted from TBC OUT 1.

TBC OUT 2

[TBC Video Signal 2]

The video signal output which is time-base corrected. Regarding TBC OUT 2, the composite/non-composite setting can be selected using the COMP/NON-COMP switch on the PR-36 board.

TBC SYNC

[TBC Synchronizing Signal]

The synchronizing signal generated by SYNC GEN. on the SG-62 board. It is used as sync signal in the TBC output video signal.

TBC VD

[TBC V Drive Signal]

The V drive signal generated by SYNC GEN. on the SG-62 board.

VD

[V Drive Signal]

The V drive signal generated by SYNC GEN. on the SG-62 board. It is sent to the AD-12 board as TBC VD.

VELO ERROR

[Velocity Error Voltage]

The velocity error voltage. It is detected by a phase comparison between W SC to which APC is applied by CBH of 1H before, and the present CBH.

VELO ERROR COMP

[Velocity Error Compensation Voltage]

The velocity error voltage which modulates the phase of SC on the read side, for velocity error compensation. Using the second order approximation method, it is possible to obtain a value which is extremely close to the true velocity error.

VELO W.P

[Velocity Error Write Pulse]

The signal which writes VELO ERROR into the VELO ERROR MEMORY.

VIDEO LEVEL CONT

〔Video Level Control Voltage〕

TBC OUT 1, 2のビデオレベルを調整するための制御電圧。VTRのREMOTE AUXコネクターを経由して外部(例えばBK-2006)から送られてくる。

W/R ZERO GEN. INITIAL SET

〔Write/Read Zero Generator Initial Setting signal〕

VTRがPLAYモードに入った直後(PLAY STATUS信号の立上がり後)の約1秒間"L"となり，その間に，W ZERO GEN.とR ZERO GEN.のPLLのエラー電圧を強制的にOVにする。

W ADD P

〔Write Address Pulse〕

メモリー書込みのためのラインアドレスを作るHレートの信号。

W ADD 2^0, 2^1

〔Write Address 2^0, 2^1〕

メモリー書込みのためのラインアドレスデータ。

W CK

〔Write Clock〕

メモリー書込みクロック。周波数は4fsc。再生バースト信号に位相ロックしている。

W DATA 2^0, 2^1, 2^2, 2^3, 2^4, 2^5, 2^6, 2^7

〔Write Data〕

A/D変換されてメインメモリーへ書き込まれるビデオ信号データ。

W N/I

〔Write Normal/Inversion signal〕

書込み側のSC位相のライン反転を指示する信号。

WRITE ADDRESS

〔Write Address Data〕

メインメモリーの書込みアドレスを指定する10ビットのデータ。

W SC

〔Write Sub-Carrier signal〕

APCによって再生バースト信号に位相ロックしているSC信号。W N/IによってSC位相の連続性は保たれている。

W ZERO

〔Write Zero signal〕

メモリー書込みのスタートを指示する信号。

Y DO

〔Y Dropout signal〕

ドロップアウト時に"H"となり，Y信号の1H前置換えを指示する。

VIDEO LEVEL CONT

[Video Level Control Voltage]

The control voltage which adjusts the video level of TBC OUT 1 and 2. It is applied from an external source (for example BK-2006) via the REMOTE AUX connector of the VTR.

W/R ZERO GEN INITIAL SET

[Write/Read Zero Generator Initial Setting Signal]

This signal becomes "L" for a period of about 1 second immediately after the VTR enters the PLAY mode (after the rise of the PLAY STATUS signal). During this time, the error voltage of the PLL of W ZERO GEN and R ZERO GEN is forcibly made 0V.

W ADD P

[Write Address Pulse]

The H level signal which is used to make the line address for memory write.

W ADD 2^0, 2^1

[Write Address 2^0 and 2^1]

The line address data for memory write.

W CK

[Write Clock]

The memory write clock. Its frequency is 4fsc. It is phase-locked to the playback burst signal.

W DATA 2^0, 2^1, 2^2, 2^3, 2^4, 2^5, 2^6, 2^7

[Write Data]

The data which is A/D converted and written in the main memory.

W N/I

[Write Normal/Inversion Signal]

The signal which indicates line inversion of the SC phase at the write side.

WRITE ADDRESS

[Write Address Data]

The 10-bit data which designates the write address of the main memory.

W SC

[Write Sub-Carrier Signal]

The SC signal which is phase-locked to the off-tape burst signal by APC. The continuity of the SC phase is maintained by means of W N/I signal.

W ZERO

[Write Zero Signal]

The signal which designates the start of memory write.

Y DO

[Y Dropout Signal]

In the event of a dropout, this signal becomes "H" and designates the replacement of Y dropout section with 1H prior signal.

4Fsc

[4×Fsc signal]

The signal having a frequency of 4 times that of the sub-carrier. It is generated at both the write and read sides.

4Fsc

〔4×Fsc signal〕

サブキャリヤ周波数の4倍の信号。書込み側，読出し側の両方で作られている。

±CONT

〔Plus/Minus Control signal〕

ドロップアウト補償回路でのY/C MIXの際，Y±Cの演算モードを指定する信号。この制御によってクロマ信号の連続性は保たれる。

4Fsc

[4×Fsc signal]

The signal having a frequency of 4 times that of the sub-carrier. It is generated at both the write and read sides.

±CONT

[Plus/Minus Control Signal]

The signal designates the arithmetic mode of Y±C during Y/C MIX at the dropout compensation circuit. By means of this control, it is possible to maintain continuity of the chroma signal.